

ESP32-C3 系列芯片

硬件设计指南



版本 1.0
乐鑫信息科技
版权 © 2021

关于本文档

《ESP32-C3 系列芯片硬件设计指南》主要提供了在使用 ESP32-C3 系列产品进行电路设计和 PCB 布局时需注意的事项。

文档版本

请至乐鑫官网 <https://www.espressif.com/zh-hans/support/download/documents> 下载最新版本文档。

修订历史

请至文档最后一页查看 [修订历史](#)。

文档变更通知

您可以通过乐鑫官网订阅页面 www.espressif.com/zh-hans/subscribe 订阅技术文档变更的电子邮件通知。您需要更新订阅以接收有关新产品的文档通知。

证书下载

您可以通过乐鑫官网证书下载页面 www.espressif.com/zh-hans/certificates 下载产品证书。

目录

1 产品概述	4
2 原理图设计	5
2.1 电源	6
2.1.1 数字电源	6
2.1.2 模拟电源	6
2.2 上电时序与复位	7
2.2.1 上电时序	7
2.2.2 复位	8
2.3 Flash	8
2.4 时钟源	8
2.4.1 外部时钟参考 (必选)	9
2.4.2 RTC 时钟 (可选)	9
2.5 射频 (RF)	10
2.6 UART	10
2.7 ADC	11
2.8 Strapping 管脚	11
2.9 GPIO	12
3 版图布局	15
3.1 版图设计通用要点	15
3.2 模组在底板上的位置摆放	15
3.3 电源	18
3.4 晶振	19
3.5 射频	20
3.6 Flash	21
3.7 UART	21
3.8 版图设计常见问题	22
3.8.1 为什么电源纹波并不大, 但射频的 TX 性能很差?	22
3.8.2 为什么芯片发包时, 电源纹波很小, 但射频的 TX 性能不好?	22
3.8.3 为什么 ESP32-C3 系列芯片发包时, 仪器测试到的 power 值比 target power 值要高很多或者低很多, 且 EVM 比较差?	22
3.8.4 为什么芯片的 TX 性能没有问题, 但 RX 的灵敏度不好?	22
4 开发硬件介绍	23
4.1 ESP32-C3 系列模组	23
4.2 ESP32-C3 系列开发板	23
修订历史	24
解决方案、文档及法律信息	25

插图

1	ESP32-C3 系列芯片参考设计原理图	5
2	ESP32-C3 系列芯片数字电源	6
3	ESP32-C3 系列芯片模拟电源	7
4	ESP32-C3 系列芯片上电、复位时序图	7
5	ESP32-C3 系列芯片 flash 电路	8
6	ESP32-C3 系列芯片晶振电路图	9
7	ESP32-C3 系列芯片有源晶振电路图	9
8	ESP32-C3 系列芯片外置 RTC 晶振电路图	10
9	ESP32-C3 系列芯片射频匹配电路图	10
10	Strapping 管脚的建立时间和保持时间	12
11	ESP32-C3 系列芯片版图设计	15
12	ESP32-C3 系列模组在底板上的位置示意图（模组天线馈点在右侧）	16
13	ESP32-C3 系列模组在底板上的位置示意图（模组天线馈点在左侧）	16
14	ESP32-C3 系列模组天线区域净空示意图	17
15	ESP32-C3 系列芯片四层板电源设计	18
16	ESP32-C3 系列芯片四层板 PA 电源设计	18
17	ESP32-C3 系列芯片晶振设计	19
18	ESP32-C3 系列芯片四层板射频部分版图设计	20
19	ESP32C3 系列芯片四层板射频短截线设计	20
20	ESP32-C3 系列芯片 PCB 叠层结构设计	21
21	ESP32-C3 系列芯片 flash 版图设计	21

1. 产品概述

ESP32-C3 系列是极低功耗、高集成度的 MCU 系统级芯片 (SoC)，集成 2.4 GHz Wi-Fi 和低功耗蓝牙 (Bluetooth® LE) 双模无线通信，专为物联网 (IoT)、智能家居、工业自动化、医疗保健及消费电子产品等各种应用而设计，具有行业领先的低功耗性能和射频性能。

ESP32-C3 系列搭载 RISC-V 32 位单核处理器，工作频率高达 160 MHz。芯片支持二次开发，无需使用其他微控制器或处理器。

ESP32-C3 系列芯片是业内集成度领先的 Wi-Fi + Bluetooth LE 解决方案，集成了完整的发射/接收射频功能，包括天线开关、射频 balun、功率放大器、低噪声放大器、滤波器、电源管理模块和先进的自校准电路，极大减少了印刷电路板 (PCB) 的面积。

ESP32-C3 系列芯片还集成了先进的自校准电路，实现了动态自动调整，可以消除外部电路的缺陷，更好地适应外部环境的变化。因此，ESP32-C3 的批量生产不需要昂贵的专用 Wi-Fi 测试设备。

更多关于 ESP32-C3 系列芯片说明和订购信息请参考 [《ESP32-C3 系列芯片技术规格书》](#)。

2. 原理图设计

ESP32-C3 系列芯片的高度集成使得其外围电路设计较为简单。ESP32-C3 系列芯片的核心电路只由 20 个左右的电阻电容电感、1 个无源晶振及 1 个 SPI flash 组成。为了更好地保证 ESP32-C3 系列芯片工作性能，本指南将详细介绍 ESP32-C3 系列芯片的原理图以及 PCB 布局设计。

ESP32-C3 系列芯片的核心电路图如图 1 所示。

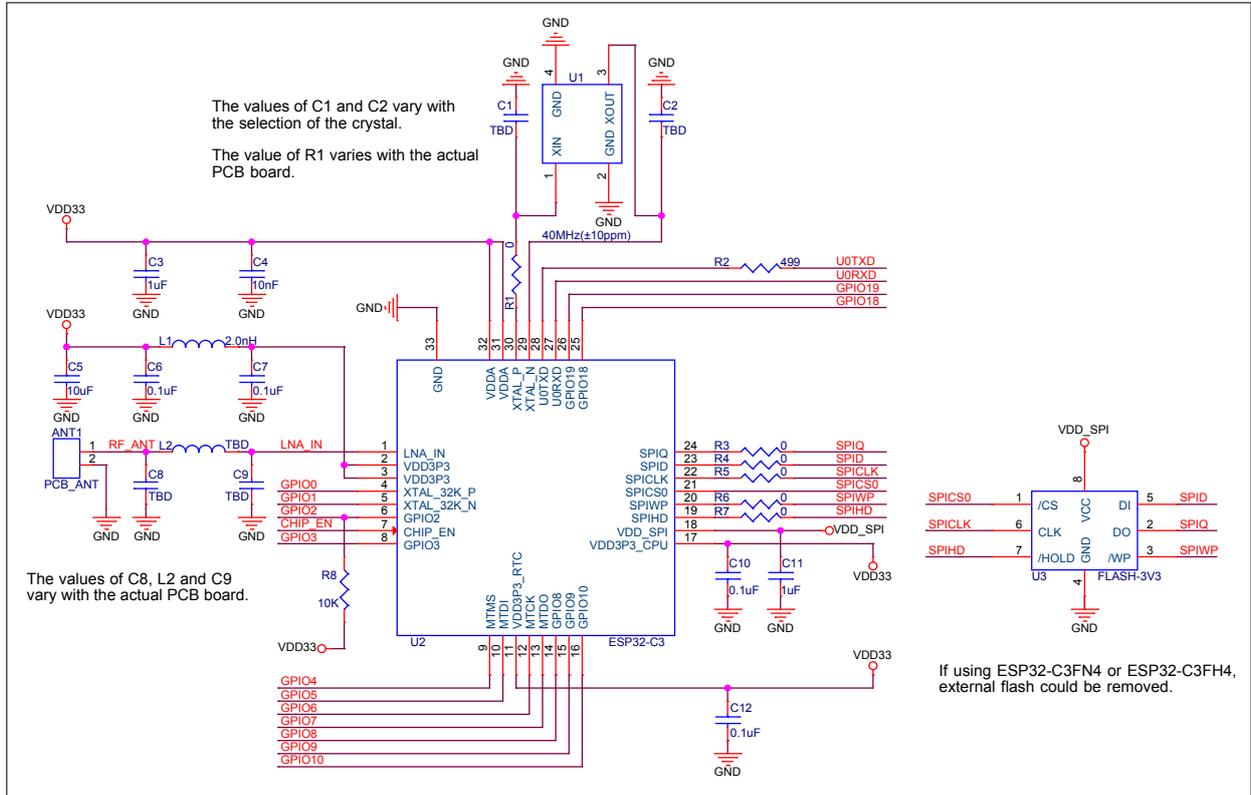


图 1: ESP32-C3 系列芯片参考设计原理图

ESP32-C3 系列芯片的核心电路图的设计有九个部分注意事项：

- 电源
- 上电时序与复位
- Flash
- 时钟源
- 射频
- UART
- ADC
- Strapping 管脚
- GPIO

下文将分别对这九个部分进行描述。

2.1 电源

关于电源管脚使用注意事项，请查看《ESP32-C3 系列芯片技术规格书》中**电源管理**章节。

2.1.1 数字电源

ESP32-C3 系列芯片的管脚 11 和管脚 17 分别为 RTC IO 输入电源管脚和 CPU IO 输入电源管脚，工作电压范围为 3.0 V ~ 3.6 V。建议在电路中靠近数字电源管脚处分别添加 0.1 μ F 电容。

VDD_SPI 作为输出电源时，由 VDD3P3_CPU 通过 R_{SPI} 电阻后供电（电压典型值为 3.3 V）外部电路。因此，VDD_SPI 相对 VDD3P3_CPU 会有一定电压降。建议靠近该电源管脚处添加 1 μ F 对地滤波电容。

当 VDD_SPI 无需为外部供电时，VDD_SPI 亦可作为 GPIO11 使用。

ESP32-C3 系列芯片数字电源电路图如图 2 所示。

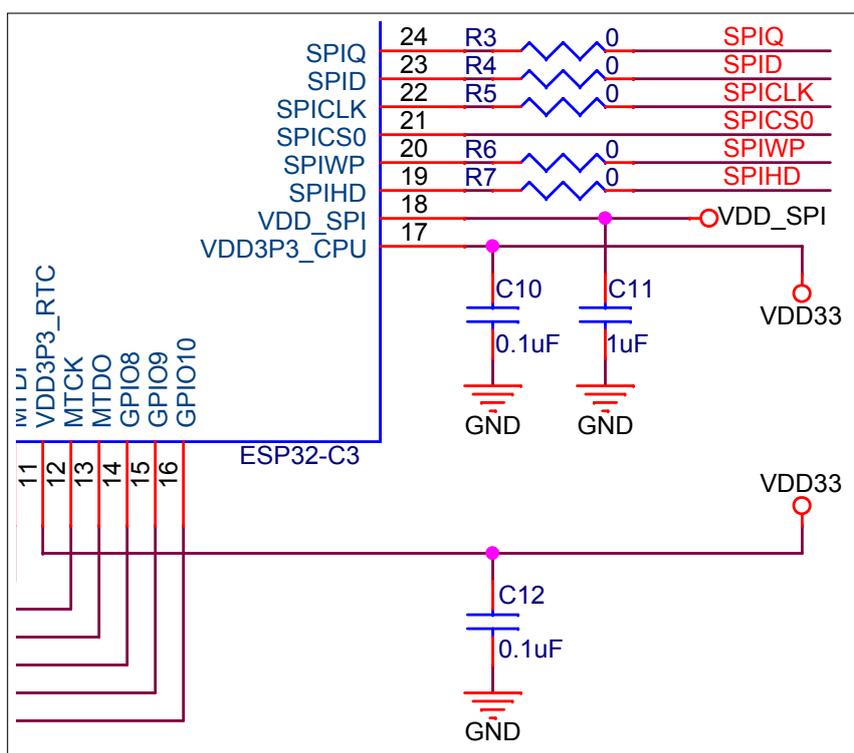


图 2: ESP32-C3 系列芯片数字电源

注意：

当使用 VDD_SPI 给嵌入式和外部 3.3 V flash 供电时，需要满足 flash 的工作电压要求，一般应保证 VDD3P3_CPU 在 3.0 V 及以上。

2.1.2 模拟电源

ESP32-C3 系列芯片的管脚 2、管脚 3、管脚 31 和管脚 32 为模拟电源管脚，工作电压范围为 3.0 V ~ 3.6 V。该部分电源需要注意的是当 ESP32-C3 系列芯片工作在 TX 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在电源走线上增加一个 10 μ F 电容，该电容可与 0.1 μ F 电容搭配使用。另外，在靠近管脚 2 和管脚 3 处还需添加 LC 滤波电路，用于抑制高频谐波，同时请注意该电感的额定电流最好在 500 mA 及以上。其余电源管脚请参考图 3 放置相应的去耦电容。

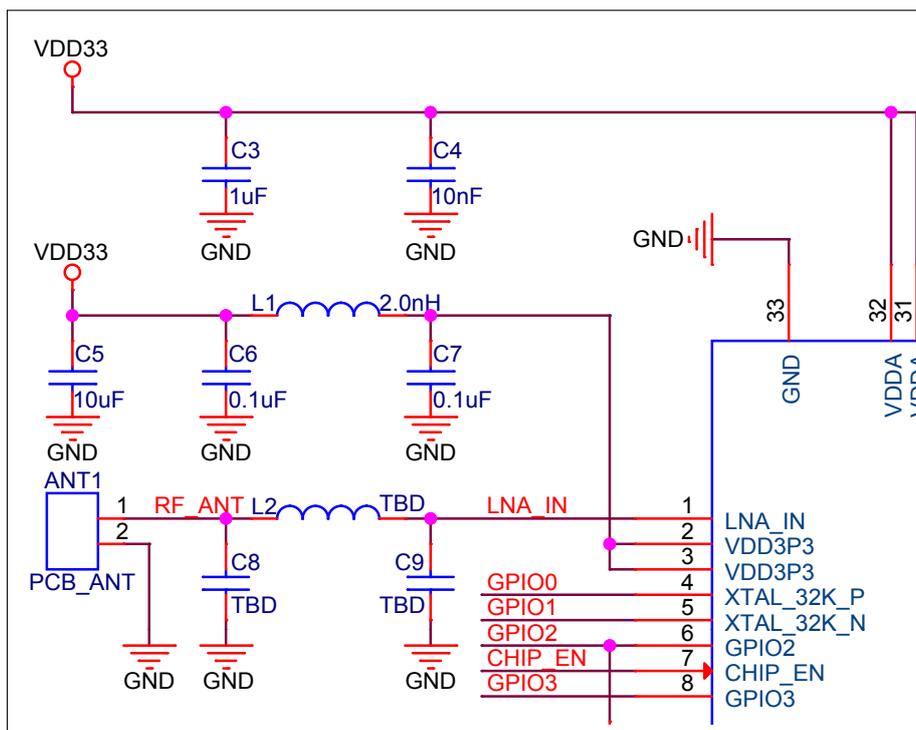


图 3: ESP32-C3 系列芯片模拟电源

注意:

- 使用单电源供电时，建议供给 ESP32-C3 系列芯片的电源电压为 3.3 V，最大输出电流可达 500 mA 及以上。
- 总电源入口处建议添加 ESD 保护器件。

2.2 上电时序与复位

2.2.1 上电时序

ESP32-C3 系列芯片使用 3.3 V 作为统一的系统电源，所以上电时序上只需遵循：ESP32-C3 系列芯片的管脚 7 CHIP_EN 使能管脚上电要晚于系统电源 3.3 V 上电。

图 4 为 ESP32-C3 系列芯片上电、复位时序图。各参数说明如表 1 所示。

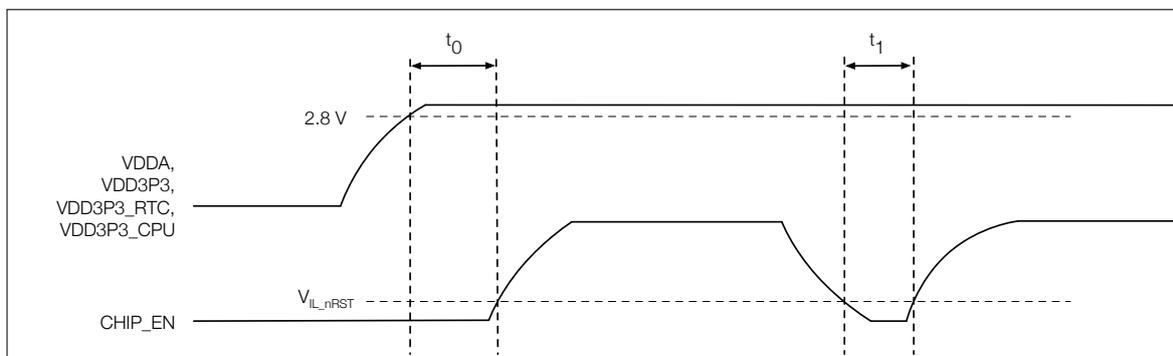


图 4: ESP32-C3 系列芯片上电、复位时序图

表 1: ESP32-C3 系列芯片上电、复位时序图参数说明

参数	说明	最小值 (μs)
t_0	CHIP_EN 管脚上电晚于 VDDA、VDD3P3、VDD3P3_RTC 和 VDD3P3_CPU 上电的延时时间	50
t_1	CHIP_EN 电平低于 V_{IL_nRST} 的时间	50

注意:

为确保芯片上电时的供电正常，CHIP_EN 管脚处需要增加 RC 延迟电路。RC 通常建议为 $R = 10\text{ k}\Omega$ ， $C = 1\ \mu\text{F}$ ，但具体数值仍需根据电源的上电时序和芯片的上电复位时序进行调整。

2.2.2 复位

ESP32-C3 系列芯片的复位可使用 CHIP_EN 管脚。当 CHIP_EN 为低电平时，建议复位电平 (V_{IL_nRST}) 范围为 $(-0.3 \sim 0.25 \times VDD)\text{ V}$ (其中 VDD 为 I/O 的供电电源)。为防止外界干扰引起重启，CHIP_EN 引线需尽量短一些，且最好加上拉电阻和对地电容。

注意:

该管脚不可浮空。

2.3 Flash

ESP32-C3 系列芯片对外部 flash 可以最大支持到 16 MB。目前 ESP32-C3-WROOM-02 模组默认采用的是 4 MB 的 SPI flash，使用 VDD_SPI 输出电源供电。建议 SPI 线上预留串联电阻 (初始可使用 $0\ \Omega$)，主要作用为降低驱动电流、减小串扰和外部干扰、调节时序等。

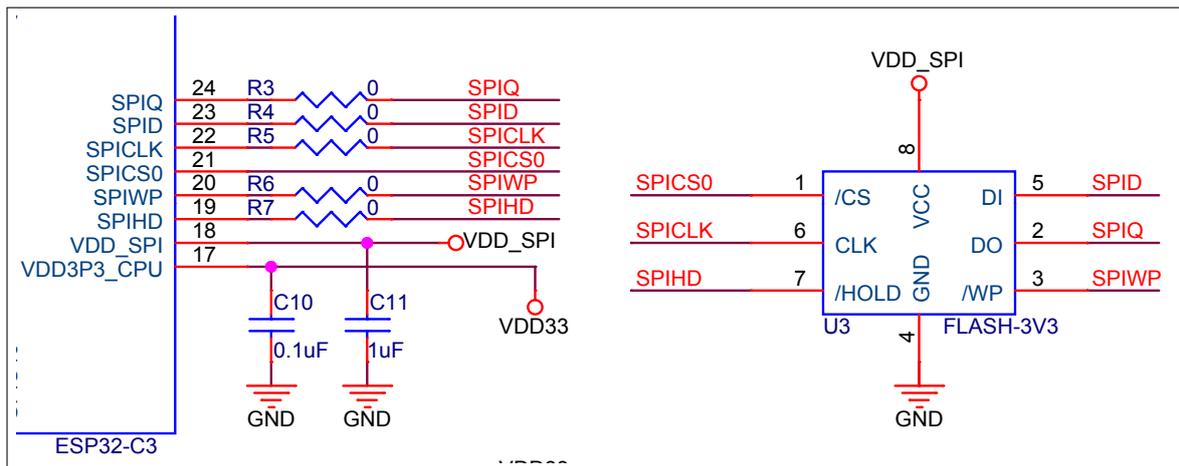


图 5: ESP32-C3 系列芯片 flash 电路

2.4 时钟源

ESP32-C3 系列芯片外部可以有两个时钟源，即外部晶振时钟源和 RTC 时钟源。

2.4.1 外部时钟参考 (必选)

目前 ESP32-C3 系列芯片固件仅支持 40 MHz 晶振。晶振外部匹配电容 C1、C2 具体值需要通过系统测试后进行调整确定。请在 XTAL_P 时钟走线上放置一个串联元器件，以减小晶振的驱动能力，减弱晶振谐波对射频性能的影响，具体值需要通过测试后确认（初始可使用 24 nH）。注意，选用的晶振自身精度需在 ± 10 ppm。

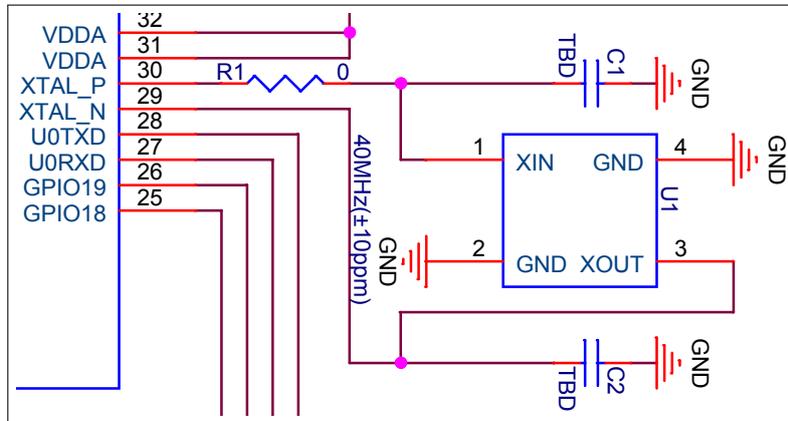


图 6: ESP32-C3 系列芯片晶振电路图

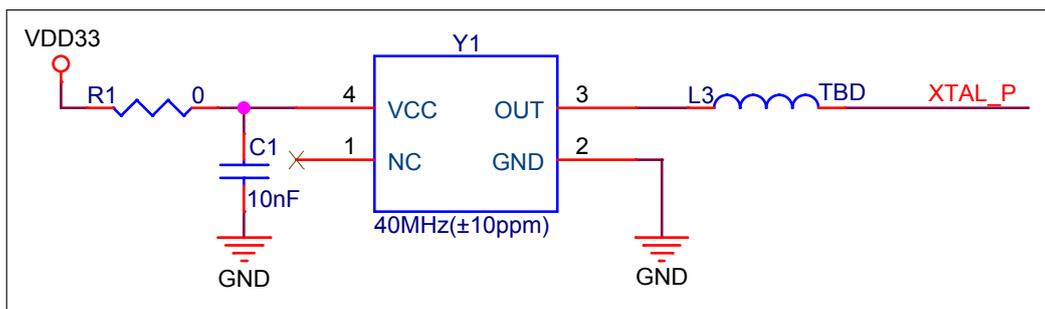


图 7: ESP32-C3 系列芯片有源晶振电路图

注意:

- 如需使用有源晶振，则将晶振的时钟输出通过一个串联电感（初始可使用 20 nH）连接至芯片端的 XTAL_P 端，XTAL_N 悬空即可。注意需要保证该有源晶振的输出时钟稳定且精度在 ± 10 ppm 以内。另外，建议您做好外接无源晶振的兼容设计，假使有源晶振电路出现问题，可以替换为无源晶振工作。
- 尽管 ESP32-C3 系列芯片内部带有自校准功能，但是自身频偏过大（如大于 ± 10 ppm）、工作温度范围内稳定度不高等晶振本身的质量问题仍然会影响 ESP32-C3 系列芯片的正常工作，导致射频指标性能下降。

2.4.2 RTC 时钟 (可选)

ESP32-C3 系列芯片支持外置 32.768 kHz 的时钟振荡器作为 RTC 睡眠时钟。外置 32.768 kHz 晶振的电路如图 8 所示。

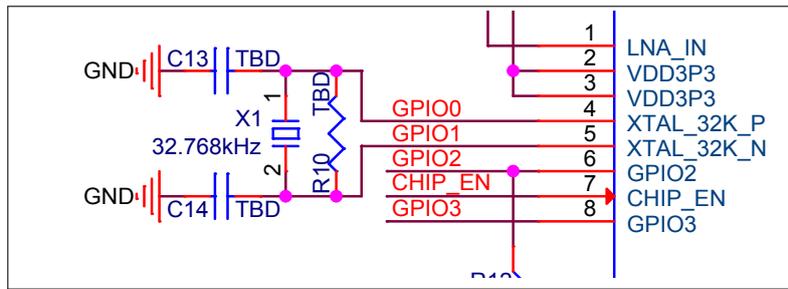


图 8: ESP32-C3 系列芯片外置 RTC 晶振电路图

注意:

- 32.768 kHz 晶振选择要求：
 - 等效内阻 (ESR) $\leq 70 \text{ k}\Omega$;
 - 两端负载电容值根据晶振的规格要求进行配置。
- 并联电阻 R10 用于偏置晶振电路，电阻值要求 $5 \text{ M}\Omega < R10 \leq 10 \text{ M}\Omega$ ，该电阻一般无需上件。
- 如果不需要该 RTC 时钟源，则管脚 4 (XTAL_32K_P) 和管脚 5 (XTAL_32K_N) 也可配置为通用 GPIO 口使用。

2.5 射频 (RF)

设计时需添加 π 型匹配网络以便对天线进行匹配。建议 π 型匹配网络优先采用 CLC 结构。

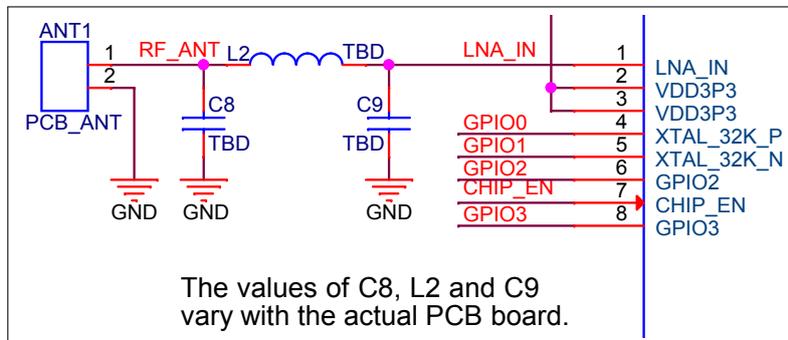


图 9: ESP32-C3 系列芯片射频匹配电路图

说明:

匹配网络的器件参数值需根据实际天线和 PCB 布局进行测试来确定。

2.6 UART

U0TXD 线上需串联 499Ω 电阻用于抑制 80 MHz 谐波。

2.7 ADC

使用 ADC 功能时，建议靠近管脚添加 0.1 μF 的对地滤波电容。请注意 ADC2 未在工厂校准，优先推荐使用 ADC1。

2.8 Strapping 管脚

说明：

以下内容摘自《ESP32-C3 系列芯片技术规格书》的 Strapping 管脚章节。

ESP32-C3 系列芯片共有三个 Strapping 管脚。

- GPIO2
- GPIO8
- GPIO9

软件可以读取 GPIO_STRAP_REG 寄存器的 GPIO_STRAPPING 字段，获取 GPIO2、GPIO8 和 GPIO9 的值。寄存器具体描述请见《ESP32-C3 技术参考手册》IO 交换矩阵寄存器列表章节。

在芯片的系统复位过程中，Strapping 管脚对自己管脚上的电平采样并存储到锁存器中，锁存值为“0”或“1”，并一直保持到芯片掉电或关闭。

系统复位有以下几种：

- 上电复位
- RTC 看门狗复位
- 欠压复位
- 模拟超级看门狗复位
- 晶振时钟毛刺检测复位

GPIO9 默认连接内部上拉。如果该管脚没有外部连接或者连接的外部线路处于高阻抗状态，则锁存值为“1”。

为改变 Strapping 的值，您可以应用外部下拉/上拉电阻，或者应用主机 MCU 的 GPIO 控制 ESP32-C3 系列上电复位时的 Strapping 管脚电平。

复位放开后，Strapping 管脚和普通管脚功能相同。

配置 Strapping 管脚的详细启动模式请参阅表 2。

表 2: Strapping 管脚

系统启动模式 ¹			
管脚	默认	SPI 启动模式	下载启动模式
GPIO2	无	1	1
GPIO8	无	无关项	1
GPIO9	内部上拉	1	0
系统启动过程中，控制 ROM Code 打印			
管脚	默认	功能	

GPIO8	无	eFuse 的 EFUSE_UART_PRINT_CONTROL 字段为 0 时 (初始默认值), 上电正常打印, 不受 GPIO8 控制。 1 时, 若 GPIO8 为 0, 上电正常打印; 若 GPIO8 为 1, 上电不打印。 2 时, 若 GPIO8 为 0, 上电不打印; 若 GPIO8 为 1, 上电正常打印。 3 时, 上电不打印, 不受 GPIO8 控制。
-------	---	---

¹ GPIO8 = 0 且 GPIO9 = 0 不可使用。

图 10 显示了 CHIP_EN 上电前和上电后 Strapping 管脚的建立时间和保持时间。各参数说明如表 3 所示。

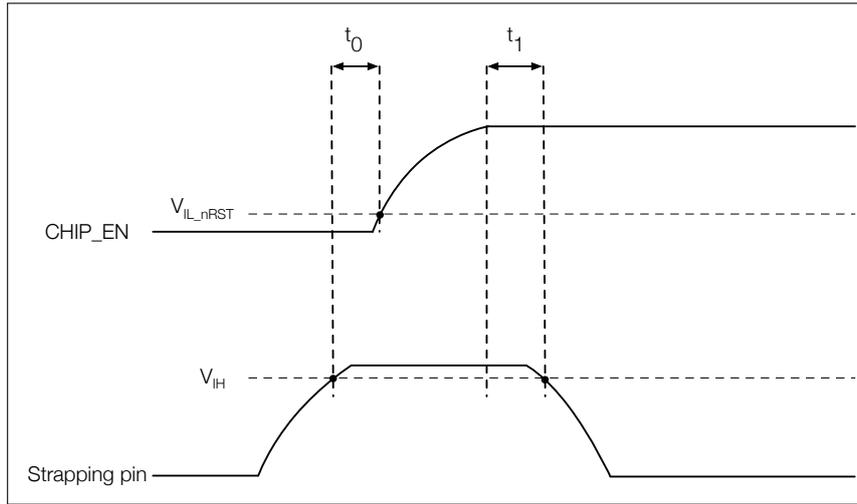


图 10: Strapping 管脚的建立时间和保持时间

表 3: Strapping 管脚的建立时间和保持时间的参数说明

参数	说明	最小值 (ms)
t_0	CHIP_EN 上电前的建立时间	0
t_1	CHIP_EN 上电后的保持时间	3

2.9 GPIO

说明:

以下内容摘自《ESP32-C3 系列芯片技术规格书》的通用输入/输出接口 (GPIO) 章节。

ESP32-C3 系列共有 22 个 GPIO 管脚, 通过配置对应的寄存器, 可以为这些管脚分配不同的功能。除作为数字信号管脚外, 部分 GPIO 管脚也可配置为模拟功能管脚, 比如 ADC 等管脚。

所有 GPIO 都可选择内部上拉/下拉, 或设置为高阻。GPIO 配置为输入管脚时, 可通过读取寄存器获取其输入值。输入管脚也可经设置产生边缘触发或电平触发的 CPU 中断。数字 IO 管脚都是双向、非反相和三态的, 包括带有三态控制的输入和输出缓冲器。这些管脚可以复用作其他功能, 例如 UART、SPI 等。当芯片低功耗运行时, GPIO 可设定为保持状态。

IO MUX 和 GPIO 交换矩阵用于将信号从外设传输至 GPIO 管脚。两者共同组成了芯片的 IO 控制。利用 GPIO

交换矩阵，可配置外设模块的输入信号来源于任何的 IO 管脚，并且外设模块的输出信号也可连接到任意 IO 管脚。表 4 列出了所有 GPIO 管脚的 IO MUX 功能。更多关于 IO MUX 和 GPIO 交换矩阵的信息，请参考《ESP32-C3 技术参考手册》的 IO MUX 和 GPIO 交换矩阵 (GPIO, IO_MUX) 章节。

表 4: IO MUX 管脚功能

名称	序号	功能 0	功能 1	功能 2	复位	说明
XTAL_32K_P	4	GPIO0	GPIO0	—	0	R
XTAL_32K_N	5	GPIO1	GPIO1	—	0	R
GPIO2	6	GPIO2	GPIO2	FSPIQ	1	R
GPIO3	8	GPIO3	GPIO3	—	1	R
MTMS	9	MTMS	GPIO4	FSPIHD	1	R
MTDI	10	MTDI	GPIO5	FSPIWP	1	R
MTCK	12	MTCK	GPIO6	FSPICLK	1*	G
MTDO	13	MTDO	GPIO7	FSPID	1	G
GPIO8	14	GPIO8	GPIO8	—	1	—
GPIO9	15	GPIO9	GPIO9	—	3	—
GPIO10	16	GPIO10	GPIO10	FSPICS0	1	G
VDD_SPI	18	GPIO11	GPIO11	—	0	—
SPIHD	19	SPIHD	GPIO12	—	3	—
SPIWP	20	SPIWP	GPIO13	—	3	—
SPICS0	21	SPICS0	GPIO14	—	3	—
SPICLK	22	SPICLK	GPIO15	—	3	—
SPID	23	SPID	GPIO16	—	3	—
SPIQ	24	SPIQ	GPIO17	—	3	—
GPIO18	25	GPIO18	GPIO18	—	0	USB、G
GPIO19	26	GPIO19	GPIO19	—	0*	USB
U0RXD	27	U0RXD	GPIO20	—	3	G
U0TXD	28	U0TXD	GPIO21	—	4	—

复位

每个管脚复位后的默认配置。

- 0 - 输入关闭，高阻 (IE = 0)
- 1 - 输入使能，高阻 (IE = 1)
- 2 - 输入使能，下拉电阻使能 (IE = 1, WPD = 1)
- 3 - 输入使能，上拉电阻使能 (IE = 1, WPU = 1)
- 4 - 输出使能，上拉电阻使能 (OE = 1, WPU = 1)
- 0* - 输入关闭，上拉电阻使能 (IE = 0, WPU = 0, USB_WPU = 1)，具体见说明
- 1* - eFuse 的 EFUSE_DIS_PAD_JTAG 位为
 - 0 时 (初始默认值)，管脚复位后输入使能，上拉电阻使能 (IE = 1, WPU = 1)
 - 1 时，管脚复位后输入使能，高阻 (IE = 1)

建议对处于高阻态的管脚配置上拉或下拉，以避免不必要的耗电。用户可参考 [《ESP32-C3](#)

[系列芯片技术规格书](#) 表格直流电气特性 (3.3 V, 25 °C) 对上下拉电阻的描述在 PCB 设计中实现上下拉，或在软件初始化时开启管脚自带的上下拉。

说明

- **R** - 管脚具有模拟功能。
- **USB** - GPIO18、GPIO19 为 USB 管脚，USB 管脚的上拉电阻由管脚上拉和 USB 上拉共同控制，当其中任意一个为 1 时，对应管脚上拉电阻使能。USB 上拉由 USB_SERIAL_JTAG_DP_PULLUP 位控制。
- **G** - 管脚在芯片上电过程中有毛刺，具体见表 5。

表 5: 芯片上电过程中的管脚毛刺

管脚	毛刺类型 ¹	典型持续时间 (ns)
MTCK	低电平毛刺	5
MTDO	低电平毛刺	5
GPIO10	低电平毛刺	5
U0RXD	低电平毛刺	5
GPIO18	上拉毛刺	50000

- ¹ 低电平毛刺：在持续期间维持低电平状态；
 高电平毛刺：在持续期间维持高电平状态；
 上拉毛刺：在持续期间维持上拉状态；
 下拉毛刺：在持续期间维持下拉状态。

3. 版图布局

本章节将以 ESP32-C3-WROOM-02 模组的 PCB 布局为例，介绍 ESP32-C3 系列芯片 PCB 布局设计要点。

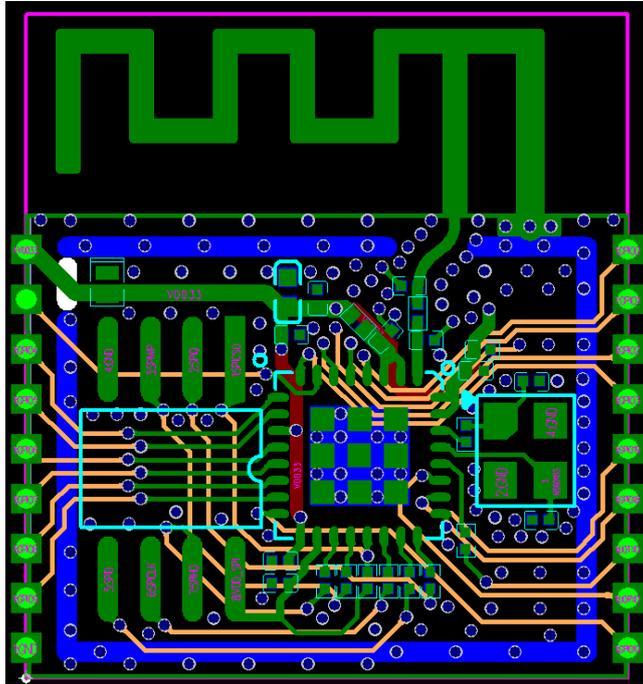


图 11: ESP32-C3 系列芯片版图设计

3.1 版图设计通用要点

建议采用四层板设计，即：

- 第一层为顶层，主要用于走信号线和摆件。
- 第二层为地层，不走信号线，保证一个完整的地平面。
- 第三层为电源层，铺地平面，使射频及晶振部分可以得到更好的屏蔽。在保证射频及晶振部分下方完整地平面的情况下，可适度走信号线。
- 第四层为底层，不建议摆件，将电源走在该层。

如采用两层板设计：

- 第一层为顶层，主要用于摆件和走线。
- 第二层为底层，不要摆件，走线也越少越好，尽量维持一个完整的地平面。

3.2 模组在底板上的位置摆放

如产品采用模组进行 on-board 设计，则需注意考虑模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。建议将模组尽可能地靠近底板板边放置，条件允许的情况下，PCB 天线区域最好是可以延伸出底板板框外，并使天线的馈点距离板边最近。

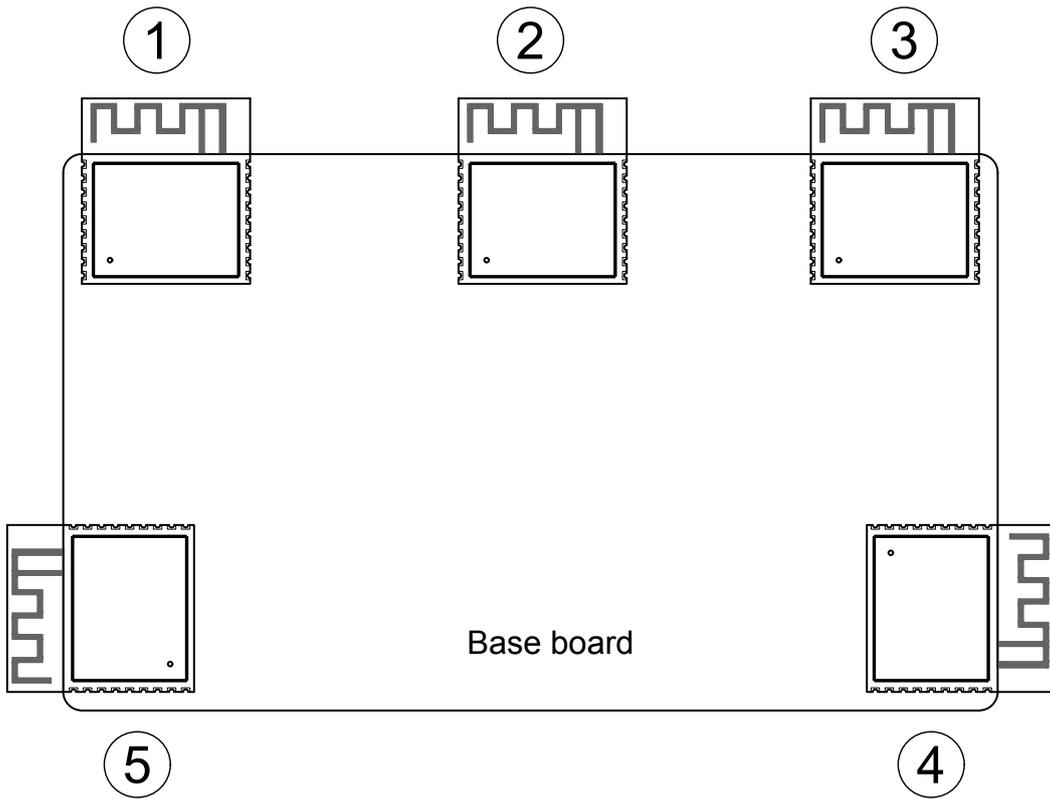


图 12: ESP32-C3 系列模组在底板上的位置示意图 (模组天线馈点在右侧)

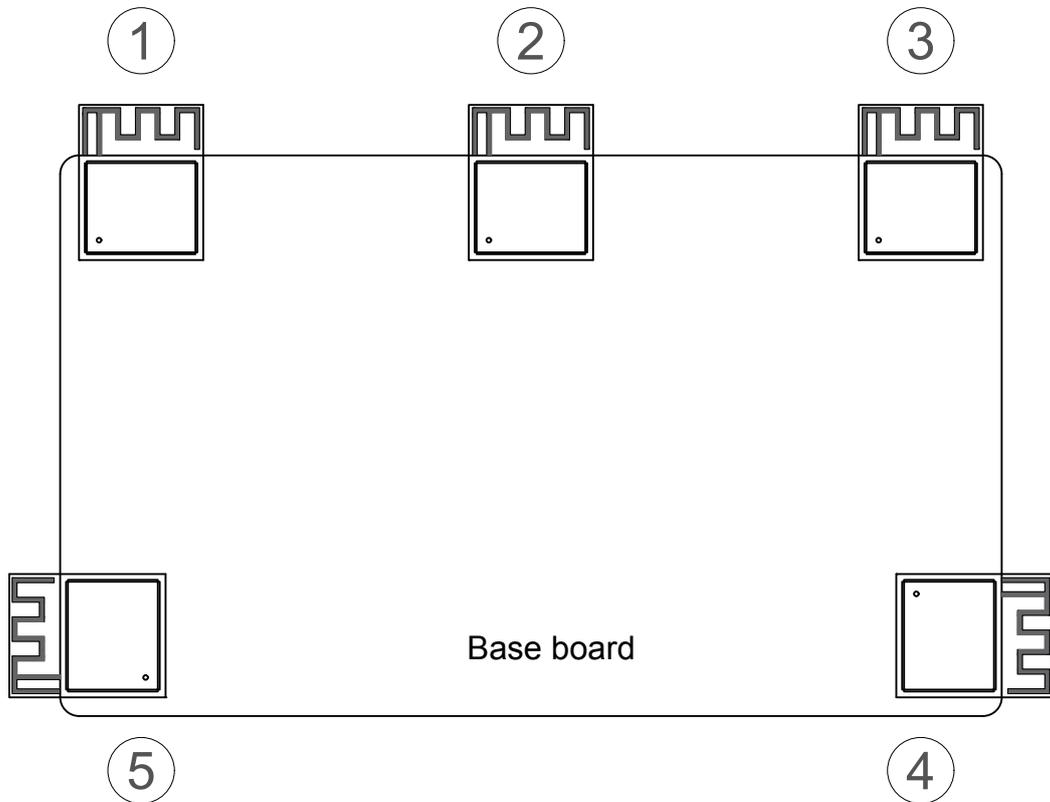


图 13: ESP32-C3 系列模组在底板上的位置示意图 (模组天线馈点在左侧)

说明:

在图 12 中, ESP32-C3 系列模组 (馈点在右) 在底板上的位置建议如下:

- 位置 3、4: 强烈推荐;
- 位置 1、2、5: 不推荐。

在图 13 中, ESP32-C3 系列模组 (馈点在左) 在底板上的位置建议如下:

- 位置 1、5: 强烈推荐;
- 位置 2、3、4: 不推荐。

如上述方法受限而无法实行, 请确保模块不被任何金属的外壳包裹, 模块 PCB 天线区域及外扩 15 mm 区域请净空 (严禁铺铜、走线、摆放元件)。该净空区域越大越好, 如图 14 所示。

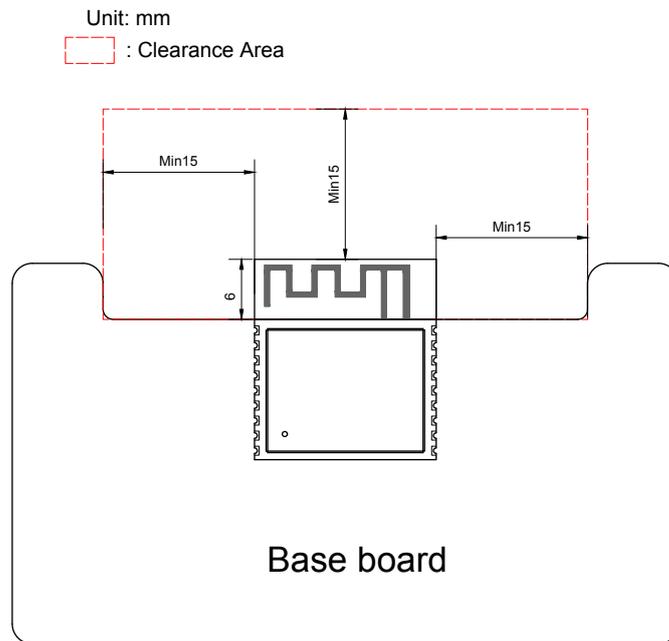


图 14: ESP32-C3 系列模组天线区域净空示意图

另外, 建议将 PCB 天线下方区域的底板切割掉, 以尽可能地减少底板板材对 PCB 天线的影晌。涉及整机设计时, 请注意考虑外壳对天线的影晌。

3.3 电源

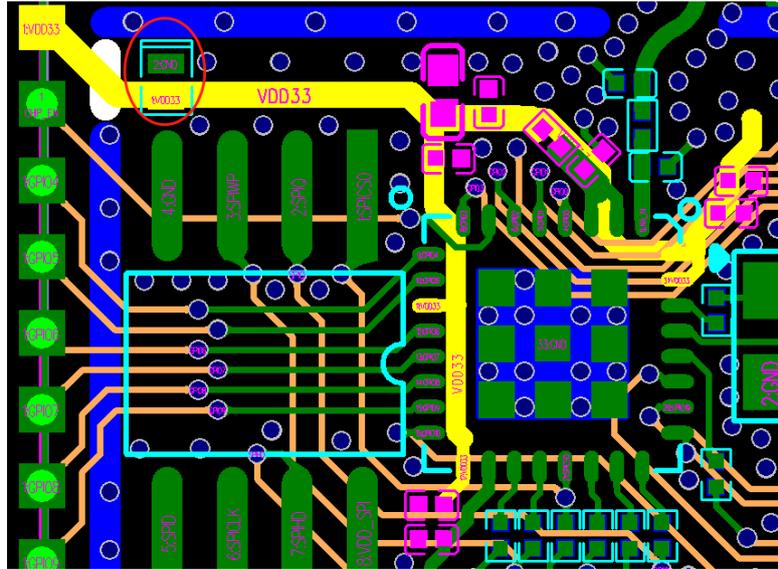


图 15: ESP32-C3 系列芯片四层板电源设计

- 推荐优先采用四层板设计，电源走线尽量走在第四层（底层），通过过孔连接至顶层芯片管脚处。主干电源换层处请至少保证有两个过孔。其余电源走线上的钻孔直径应不小于电源走线的宽度。
- 图 15 中红色圆圈部分为 ESD 保护管，靠近电源端口放置。电源走线进入芯片前需添加一个 $10\ \mu\text{F}$ 电容，该电容与 $0.1\ \mu\text{F}$ 电容搭配使用。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。所有的去耦电容请靠近对应电源管脚放置，去耦电容的接地管脚请靠近打地孔，保证较短的返回路径。
- 图 15 中黄色高亮信号线即为 3.3 V 电源走线。主干电源走线的线宽建议至少 20 mil，管脚 2、管脚 3 分支电源走线建议至少 15 mil，其他分支电源走线建议 10 mil。
- PA 电源管脚 2、管脚 3 处 LC 滤波电路中的对地电容建议添加过孔连接至第四层，其余层做 keep-out 隔离，参考图 16。

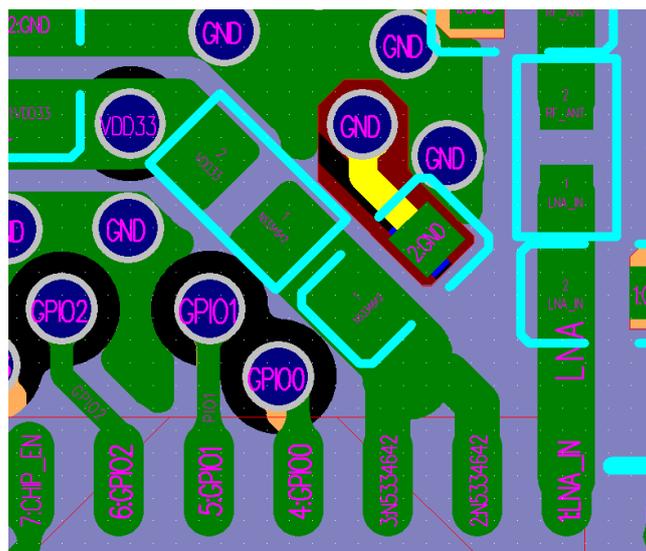


图 16: ESP32-C3 系列芯片四层板 PA 电源设计

- PA 电源管脚 2、管脚 3 的电源线与左侧的 GPIO 线间需添加 GND 隔离，并尽量放置地孔。

- 芯片下方的地焊盘，请注意需要至少打九个地孔连接到地平面。

说明：

如图 15 所示，如需在模组背面芯片下方添加散热焊盘 EPAD，建议对 EPAD 进行九宫格处理，间隙处盖油墨，而地孔则打在间隙处。这样可以有效地改善模组 EPAD 焊接至底板时的漏锡问题。

3.4 晶振

晶振设计请参考图 17，另外：

- 晶振需离芯片时钟管脚稍远一些放置，防止晶振干扰到芯片。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。
- 晶振的时钟走线不可打孔走线，即不能跨层。晶振的时钟走线不可交叉，跨层交叉也不行。
- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，并尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方四层都不能走高频数字信号，最佳情况是晶振下方不走任何信号线。晶振时钟走线两侧的电源线上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧可以尽可能的包地。
- 晶振为敏感器件，晶振周围不能有磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

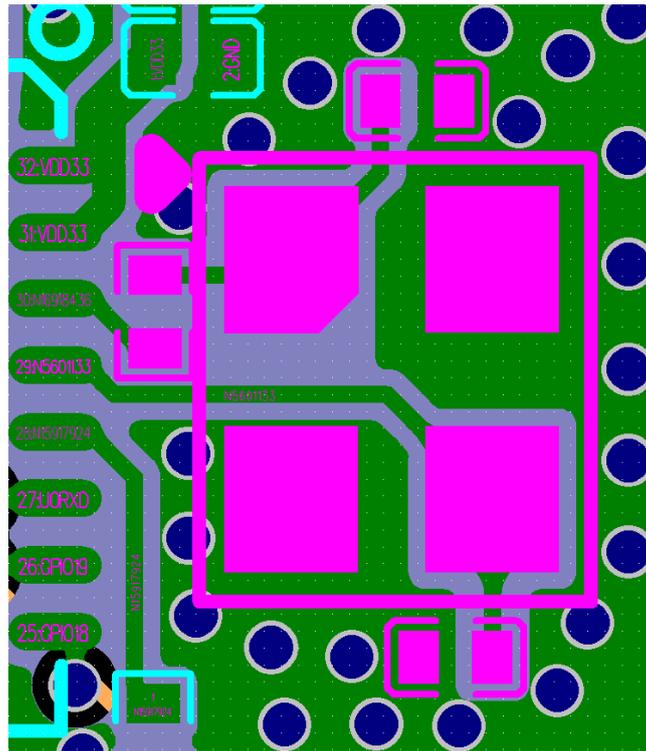


图 17: ESP32-C3 系列芯片晶振设计

3.5 射频

四层板设计

下图 18 中高亮走线即为射频走线。

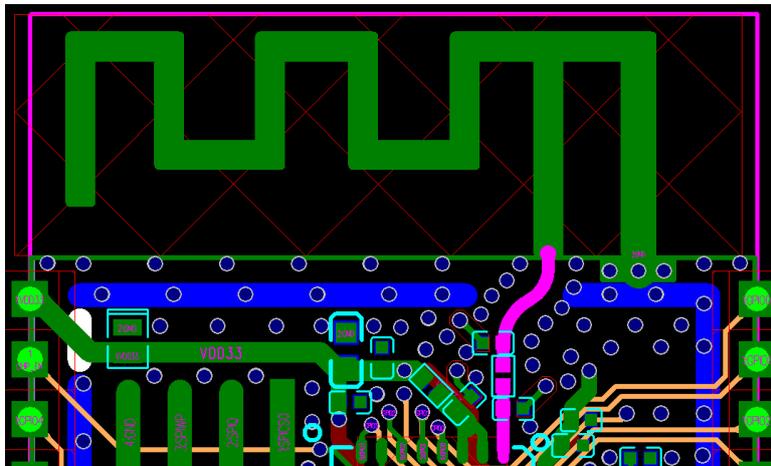


图 18: ESP32-C3 系列芯片四层板射频部分版图设计

- 射频走线须做 $50\ \Omega$ 单端阻抗控制，参考平面为第二层。射频走线上需预留一个 π 型匹配电路，且 π 型匹配电路需尽可能地靠近芯片端放置。
- 射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。
- 射频走线在表层，走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。
- π 型匹配网络请按照 Z 字型摆放。如果采用的是 0201 封装，其中的两颗并联电容与接地之间请增加短截线，可有效抑制二次谐波。短截线的长度建议为 15 mil，宽度根据 PCB 叠层结构进行确定，确保短截线的特征阻抗为 $100\ \Omega \pm 10\%$ 。此外，短截线地孔与第三层相连，一、二层做 keep-out 隔离。如果 PCB 空间受限，可以只在靠近芯片的并联电容处增加短截线。图 19 中的高亮走线即为短截线。

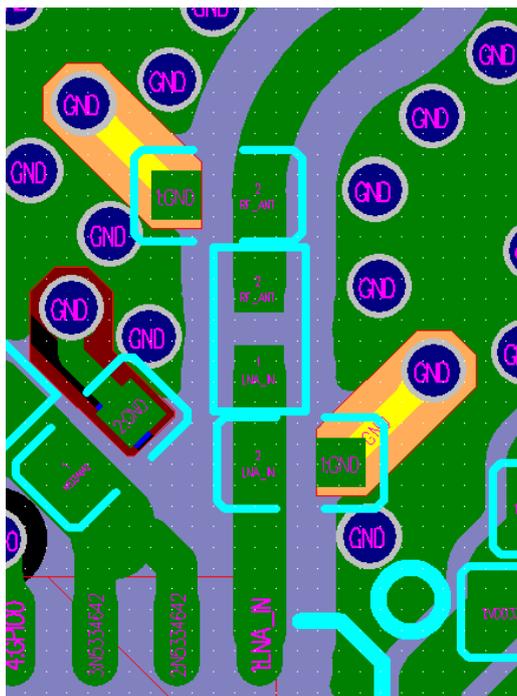


图 19: ESP32C3 系列芯片四层板射频短截线设计

3.8 版图设计常见问题

3.8.1 为什么电源纹波并不大，但射频的 TX 性能很差？

现象分析

电源纹波可极大地影响射频的 TX 性能。测量电源纹波时需注意电源纹波必须是在 ESP32-C3 系列芯片正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 $<80\text{ mV}$ 。发送 11m@11b 时，电源纹波峰峰值必须 $<120\text{ mV}$ 。

解决方法

在电源支路上（支路为 ESP32-C3 系列芯片模拟电源管脚）添加一个 $10\ \mu\text{F}$ 的滤波电容。 $10\ \mu\text{F}$ 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

3.8.2 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析

射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 UART 走线，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法

此问题主要是在布局上，可以重新布局，详见章节 3 版图布局。

3.8.3 为什么 ESP32-C3 系列芯片发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析

仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法

射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

3.8.4 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析

芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到非常多的高频信号干扰源，需根据主板设计来考量信号完整性的问题。

解决方法

请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节 3 版图布局。

4. 开发硬件介绍

4.1 ESP32-C3 系列模组

请至乐鑫官网的[模组页面](#)查看 ESP32-C3 系列模组的最新详细信息。

乐鑫官网的[文档页面](#)提供模组的参考设计。

模组使用注意事项

- 贴片模组使用单一管脚供电，客户只需外接 1 个 3.3 V、可提供 500 mA 及以上电流输出的电源即可。该 3.3 V 电源既可为模拟电路供电，也可为数字电路供电。
- EN 管脚为模组使能管脚，正常工作时需把 EN 管脚置高电平。模组上未添加 RC 延时电路，建议客户在模组外部添加。可参考章节 2.2。
- 将 GND、RXD、TXD 接出外接 USB 转 UART 工具下载、打印 log 以及通信。

出厂模式下的模组 flash 已下载初始固件。如需自行重新烧录固件，烧录 flash 的操作步骤如下：

1. 烧录前，需要设置模组在 UART 下载模式下工作，即将 IO2 上拉到高电平，IO9（默认为高）下拉到低电平，IO8 上拉到高电平；
2. 给模组上电，通过串口查看是否进入 UART 下载模式。
3. 通过 [Flash 下载工具](#)将程序固件烧录进 flash 中；
4. 烧录结束后，IO2 仍旧需要上拉到高电平，IO9 需上拉切换至高电平，进入 SPI 启动模式下工作；
5. 重新上电，芯片初始化时会从 flash 中读取程序运行。

注意：

- 整个操作过程都可通过串口打印 log 信息查看芯片运行是否正常。当无法烧录或程序无法运行时，可通过串口打印信息查看芯片初始化时设置的工作模式是否正常。
- 串口打印工具和烧录工具不能同时占用串口端口。

4.2 ESP32-C3 系列开发板

请至乐鑫官网的[开发板页面](#)查看 ESP32-C3 系列开发板的最新详细信息。

修订历史

日期	版本	发布说明
2021-05-28	V1.0	正式发布
2021-04-09	V0.5	预发布

解决方案、文档及法律信息

必读资料

- [《ESP32-C3 系列芯片技术规格书》](#)
- [《ESP32-C3 技术参考手册》](#)
- [《ESP-IDF 编程指南》](#)
- [《乐鑫产品订购信息》](#)
- [证书](#)
- [通知订阅](#)

销售与技术支持

- [商务问题](#)
- [技术支持](#)
- [购买样品](#)

开发者社区

- [ESP32 在线社区](#)

- [GitHub](#)

- [博客](#)
- [课程](#)
- [视频](#)

产品

- [芯片](#)
- [模组](#)
- [开发板](#)

必备资源

- [SDK 和演示](#)
- [应用程序](#)
- [工具](#)
- [AT](#)



免责声明和版权公告

本档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本档是否侵犯第三方权利做任何保证，也不对使用本档内信息导致的任何侵犯知识产权的行为负责。本档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2021 乐鑫信息科技（上海）股份有限公司。保留所有权利。