

ESP32-S2

硬件设计指南



版本 1.1
乐鑫信息科技
版权 © 2020

关于本文档

《ESP32-S2 硬件设计指南》主要提供了在使用 ESP32-S2 系列产品进行电路设计和 PCB 布局时需注意的事项。

文档版本

请至乐鑫官网 <https://www.espressif.com/zh-hans/support/download/documents> 下载最新版本文档。

修订历史

请至文档最后页查看[修订历史](#)。

文档变更通知

用户可以通过乐鑫官网订阅页面 www.espressif.com/zh-hans/subscribe 订阅技术文档变更的电子邮件通知。您需要更新订阅以接收有关新产品的文档通知。

证书下载

用户可以通过乐鑫官网证书下载页面 www.espressif.com/zh-hans/certificates 下载产品证书。

免责声明和版权公告

本文中的信息，包括参考的 URL 地址，如有变更，恕不另行通知。文档“按现状”提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。

本文档不负任何责任，包括使用本文档内信息产生的侵犯任何专利权行为的责任。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2020 乐鑫所有。保留所有权利。

目录

1 产品概述	1
2 原理图设计	2
2.1 电源	3
2.1.1 数字电源	3
2.1.2 模拟电源	4
2.2 上电时序与复位	5
2.2.1 上电时序	5
2.2.2 复位	5
2.3 Flash（必选）及 SRAM（可选）	5
2.4 晶振	6
2.4.1 外部时钟参考（必选）	6
2.4.2 RTC 时钟（可选）	7
2.5 射频 (RF)	8
2.6 UART	8
2.7 USB	8
2.8 ADC	9
2.9 触摸传感器	9
3 版图布局	10
3.1 版图设计通用要点	10
3.2 模组在底板上的位置摆放	11
3.3 电源	12
3.4 晶振	12
3.5 射频	13
3.6 Flash 及 PSRAM	14
3.7 UART	15
3.8 USB	15
3.9 触摸传感器	15
3.10 版图设计常见问题	17
3.10.1 为什么电源纹波并不大，但射频的 TX 性能很差？	17
3.10.2 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？	18
3.10.3 为什么 ESP32-S2 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？	18
3.10.4 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？	18
4 开发硬件介绍	19
4.1 ESP32-S2 模组	19
4.2 ESP32-S2 开发板	19
修订历史	20

插图

1	ESP32-S2 参考设计原理图	2
2	ESP32-S2 数字电源	3
3	ESP32-S2 模拟电源	4
4	ESP32-S2 Flash 及 SRAM 电路	6
5	ESP32-S2 晶振电路图	7
6	ESP32-S2 有源晶振电路图	7
7	ESP32-S2 外置 RTC 晶振电路图	7
8	ESP32-S2 外部 RTC 时钟输入	8
9	ESP32-S2 射频匹配电路图	8
10	ESP32-S2 版图设计	10
11	ESP32-S2 模组在底板上的位置示意图	11
12	ESP32-S2 天线区域净空示意图	12
13	ESP32-S2 四层板电源设计	13
14	ESP32-S2 晶振设计	13
15	ESP32-S2 四层板射频部分版图设计	14
16	ESP32-S2 PCB 叠层结构设计	14
17	ESP32-S2 Flash 及 PSRAM 版图设计	15
18	典型的触摸传感器应用	15
19	电极图形要求	16
20	传感器布局布线	16
21	屏蔽电极和保护传感器	17

1. 产品概述

ESP32-S2 是一款高集成度的低功耗 Wi-Fi 系统级芯片 (SoC)，专为物联网 (IoT)、移动设备、可穿戴电子设备、智能家居等各种应用而设计，具有行业领先的低功耗性能和射频性能。

ESP32-S2 芯片搭载 Xtensa® 32 位 LX7 单核处理器，工作频率高达 240 MHz。芯片支持二次开发，无需使用其他微控制器或处理器。

ESP32-S2 芯片包括一个功能完备的 Wi-Fi 子系统，符合 IEEE 802.11b/g/n 协议。Wi-Fi 子系统集成了 Wi-Fi MAC、Wi-Fi 射频和基带、天线开关、射频 Balun、功率放大器、低噪声放大器等，提供了一个完整的 Wi-Fi 解决方案。

ESP32-S2 芯片还集成了先进的自校准电路，实现了动态自动调整，可以消除外部电路的缺陷，更好地适应外部环境的变化。因此，ESP32-S2 的批量生产不需要昂贵的专用 Wi-Fi 测试设备。更多关于 ESP32-S2 说明和订购信息请参考 [《ESP32-S2 技术规格书》](#)。

2. 原理图设计

ESP32-S2 的核心电路只需要 20 个左右的电阻电容电感、1 个无源晶振及 1 个 SPI flash 组成。ESP32-S2 集成了 Wi-Fi MAC、Wi-Fi 射频和基带、天线开关、射频 Balun、功率放大器、低噪声放大器 and 先进的自校准电路。ESP32-S2 的高度集成使得其外围电路设计比较简单。为了能够更好地保证 ESP32-S2 工作性能，本规范将详细介绍 ESP32-S2 的原理图以及 PCB 布局设计。

ESP32-S2 的核心电路图如图 1 所示。

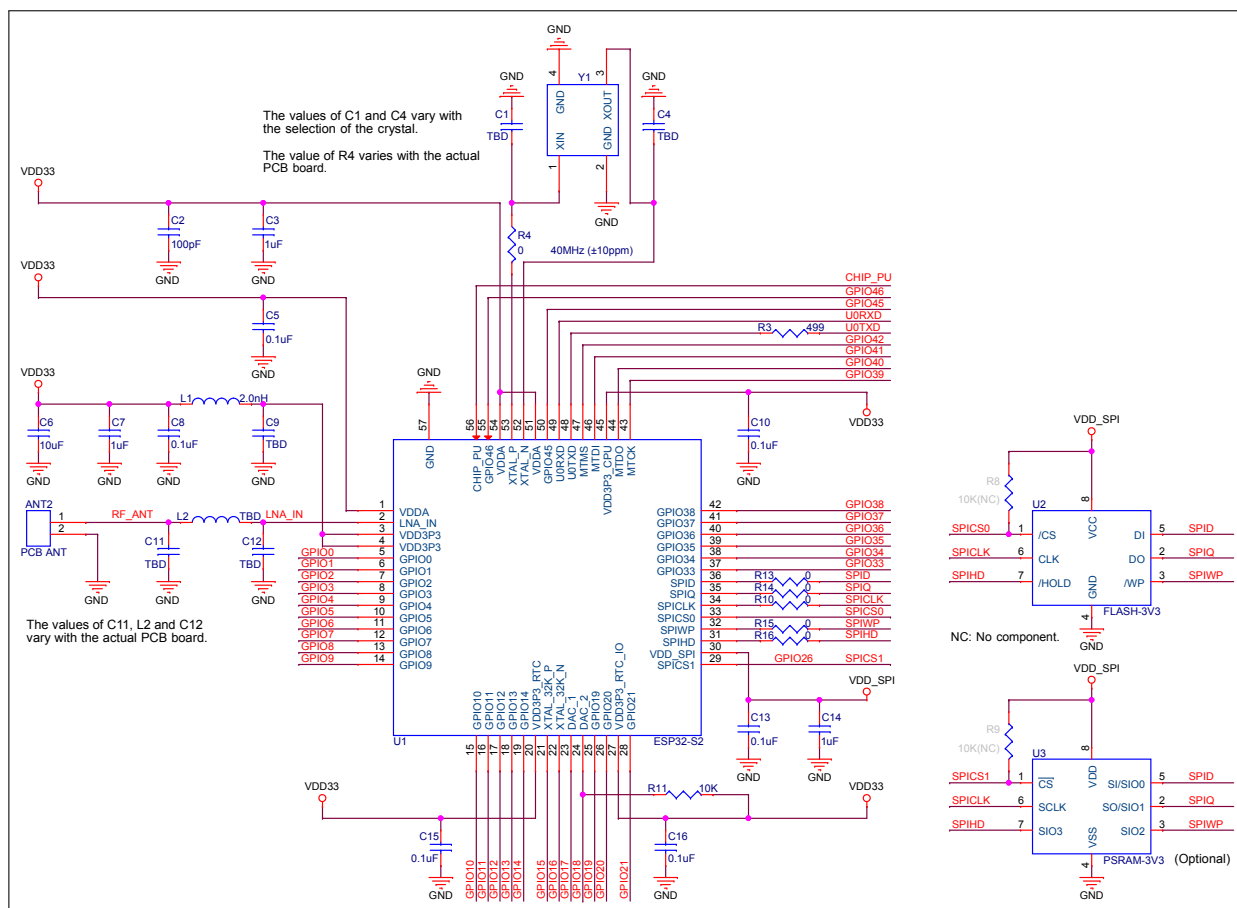


图 1: ESP32-S2 参考设计原理图

ESP32-S2 的核心电路图的设计有 9 个部分注意事项：

- 电源
- 上电时序与复位
- Flash 及 SRAM（可选）
- 晶振
- 射频
- UART
- USB
- ADC

- 触摸传感器

下文将分别对这 9 个部分进行描述。

2.1 电源

关于电源管脚使用注意事项，请查看 [《ESP32-S2 技术规格书》](#) 中电源管理章节。

2.1.1 数字电源

ESP32-S2 的 pin27 及 pin45 分别为 RTC IO 输入电源管脚和 CPU IO 输入电源管脚，工作电压范围为 3.0 V ~ 3.6 V 及 2.8 V ~ 3.6 V。建议在电路中靠近数字电源管脚处分别添加 0.1 μ F 电容。

VDD_SPI 管脚可配置输出 1.8 V (Boot 启动时, 需 GPIO45 的值为 1) 或输出 3.3 V (Boot 启动时, 需 GPIO45 的值为 0, 默认状态) 给外部电路使用。建议靠近该电源管脚处添加 0.1 μF 及 1 μF 对地滤波电容。

- 当 VDD_SPI 处于 1.8 V 模式时，由 ESP32-S2 内部的 LDO 产生。LDO 能提供的最大电流为 40 mA，输出电压范围为 1.8 V ~ 3.6 V。
- 当 VDD_SPI 处于 3.3 V 模式时，由 VDD3P3_RTC_IO 通过约 5 Ω 电阻直接供电。因此，VDD_SPI 相对 VDD3P3_RTC_IO 会有一定电压降。

VDD SPI 也可由外部电源供电。

ESP32-S2 数字电源电路图如图 2 所示。

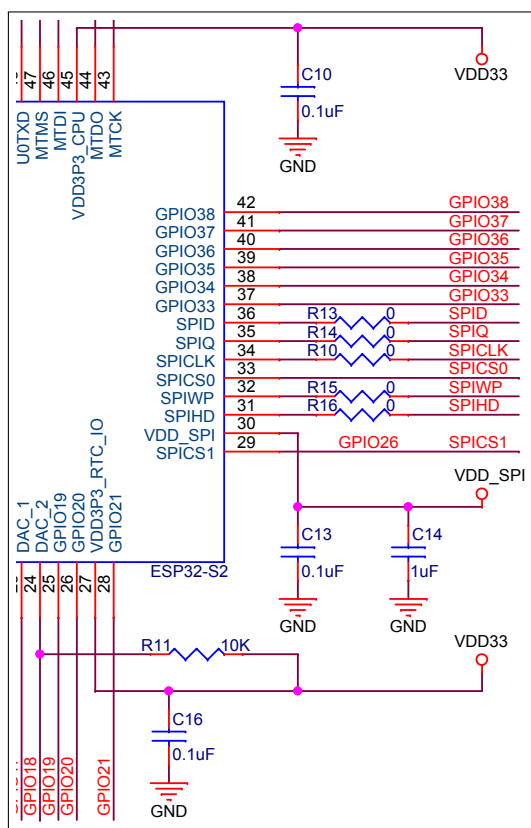


图 2: ESP32-S2 数字电源

注意：

当使用 VDD_SPI 给外部 3.3 V flash/PSRAM 供电时，需要满足 flash/PSRAM 的工作电压要求，一般应保证电压在 3.0 V 及以上。

2.1.2 模拟电源

ESP32-S2 的 pin1、pin3、pin4、pin20、pin51 及 pin54 为模拟电源管脚。工作电压范围为 2.8 V ~ 3.6 V。该部分电源需要注意的是当 ESP32-S2 工作在 TX 时, 瞬间电流会加大, 往往引起电源的轨道塌陷。所以在电路设计时建议在电源走线上增加一个 10 μ F 电容, 该电容可与 0.1 μ F 电容搭配使用。另外, 在靠近 pin3、pin4 管脚还需添加 CLC 滤波电路, 用于抑制高频谐波, 同时请注意该电感的额定电流最好在 500 mA 及以上。其余电源管脚请参考图 3 放置相应的去耦电容。

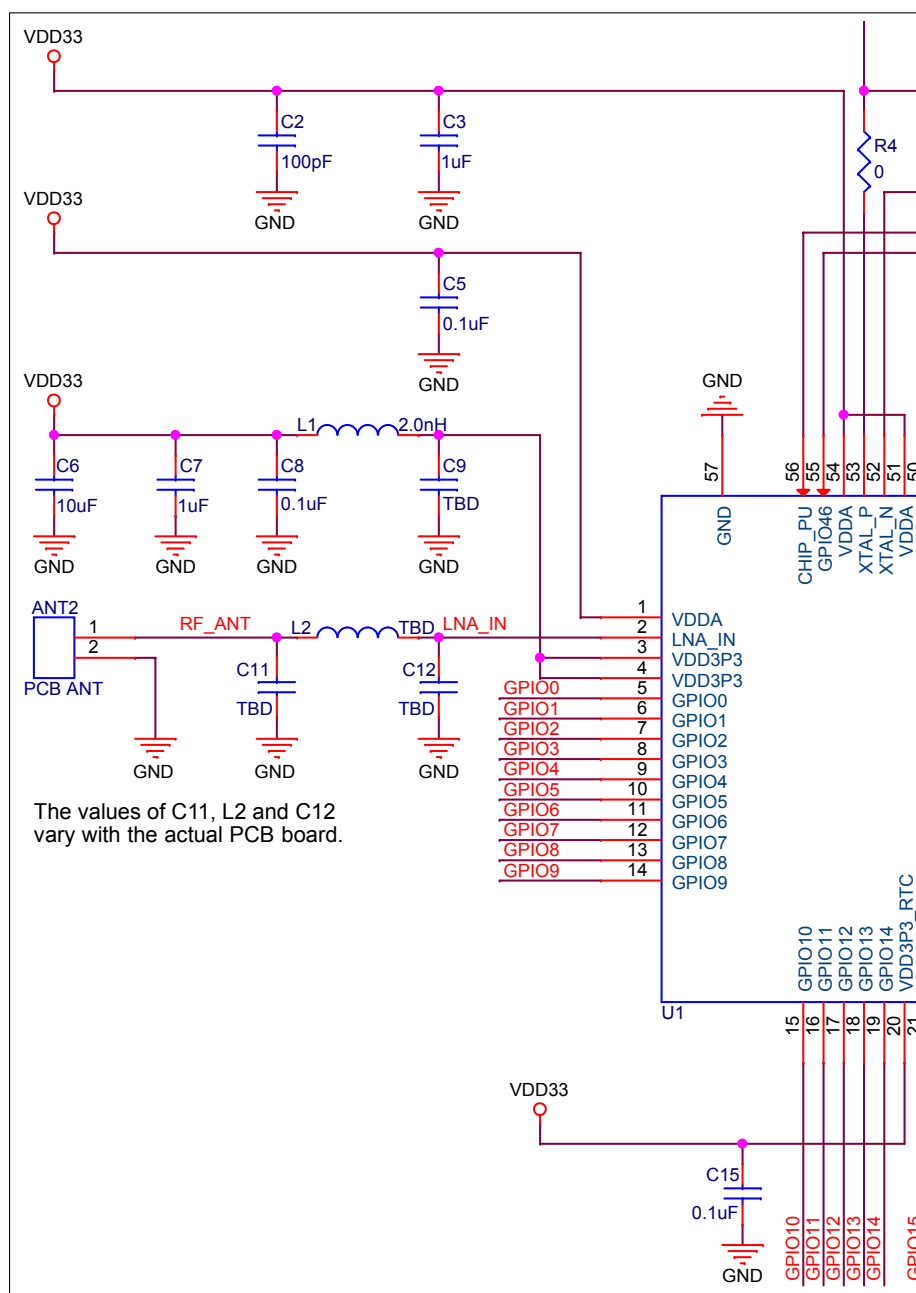


图 3: ESP32-S2 模拟电源

注意:

- 建议供给 ESP32-S2 的电源电压为 3.3 V，最大输出电流可达 500 mA 及以上。
- 电源入口处建议添加 ESD 保护器件。

2.2 上电时序与复位

2.2.1 上电时序

ESP32-S2 使用 3.3 V 作为统一的系统电源，所以上电时序上只需遵循：ESP32-S2 的 pin56 CHIP_PU 使能管脚上电要晚于系统电源 3.3 V 上电。具体请见 [《ESP32-S2 技术规格书》](#) 中电源管理章节。

注意:

为确保芯片上电时的供电正常，CHIP_PU 管脚处需要增加 RC 延迟电路。RC 通常建议为 $R = 10\text{ k}\Omega$ ， $C = 1\text{ }\mu\text{F}$ ，但具体数值仍需根据电源的上电时序和芯片的上电复位时序进行调整。

2.2.2 复位

ESP32-S2 的复位可使用 CHIP_PU 管脚。当 CHIP_PU 为低电平时，建议复位电平 (V_{IL_nRST}) 应满足 [《ESP32-S2 技术规格书》](#) 中直流电气特性章节的要求。为防止外界干扰引起重启，CHIP_PU 引线需尽量短一些，且最好加上拉电阻和对地电容。

注意:

该管脚不可浮空。

2.3 Flash（必选）及 SRAM（可选）

ESP32-S2 对外部 flash 和 SRAM 各可以最大支持到 1 GB。目前 ESP32-S2-WROVER 模组默认采用的是 4 MB 的 SPI flash 及 2 MB 的 PSRAM，均使用 VDD_SPI 输出电源供电。需注意的是，需根据设置的 VDD_SPI 输出电压大小选择合适工作电压的 flash 和 PSRAM。另外，建议 SPI 通信线上预留串联电阻（初始可使用 $0\text{ }\Omega$ ），主要为降低驱动电流，减小对射频的干扰，调节时序，提升抗干扰能力等。

ESP32-S2 flash 及 SRAM 电路请见图 4。

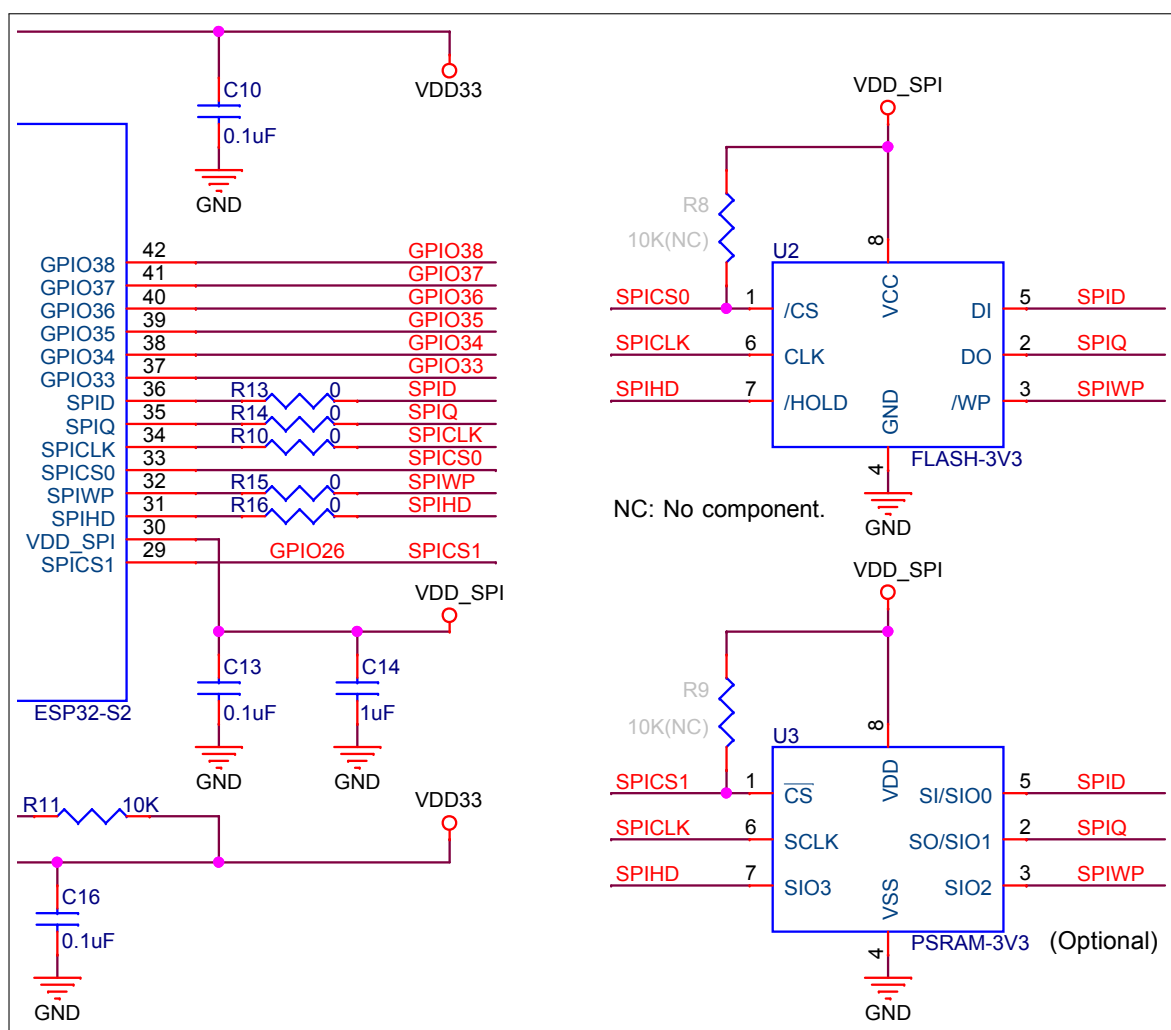


图 4: ESP32-S2 Flash 及 SRAM 电路

2.4 晶振

ESP32-S2 外部可以有 2 个晶振提供时钟源，即外部晶振时钟源和 RTC 时钟源。

2.4.1 外部时钟参考（必选）

目前 ESP32-S2 固件仅支持 40 MHz 晶振。晶振外部匹配电容 C1、C4 具体值需要通过对系统测试后进行调节确定。建议 XTAL_P 时钟走线上预留一个串联电阻（初始可使用 $0\ \Omega$ ），以减小晶振的驱动能力，减弱晶振谐波对射频性能的影响。注意，选用的晶振自身精度需在 $\pm 10\ \text{ppm}$ 。ESP32-S2 的晶振部分和有源晶振部分的电路分别如图 5 和图 6 所示。

注意：

- 如需要使用有源晶振，则将有源晶振的时钟输出通过一个隔直电容（50 pF 左右）连接至芯片端的 XTAL_P 端，XTAL_N 悬空即可。注意需要保证该有源晶振的输出时钟稳定且精度在 $\pm 10\ \text{ppm}$ 以内。另外，建议用户做好外接无源晶振的兼容设计，以防有源晶振电路出现问题时仍可以替换为无源晶振工作。
- 尽管 ESP32-S2 内部带有自校准功能，但是晶振本身的质量问题，比如自身频偏过大（例如大于 $\pm 10\ \text{ppm}$ ），工作温度范围内稳定度不高等仍然会影响 ESP32-S2 的正常工作，导致射频指标性能下降。

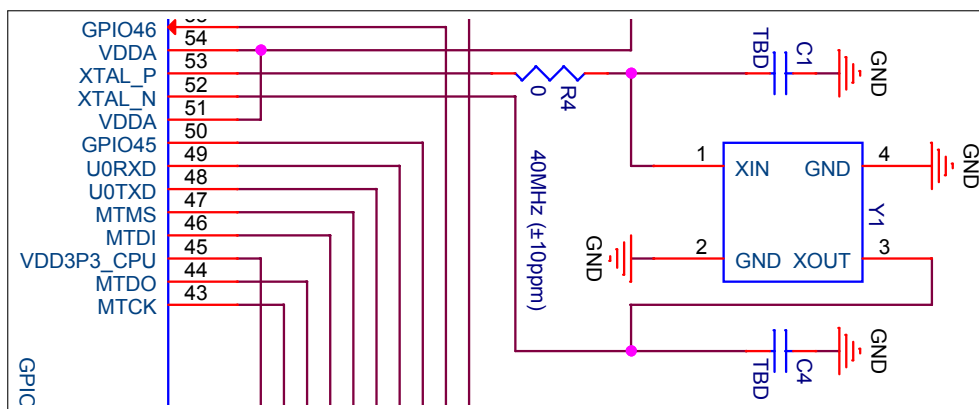


图 5: ESP32-S2 晶振电路图

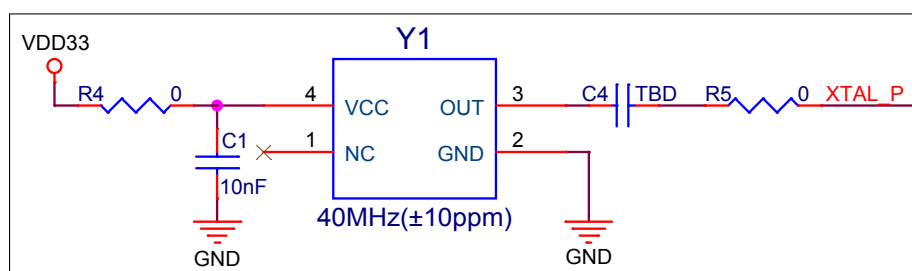


图 6: ESP32-S2 有源晶振电路图

2.4.2 RTC 时钟（可选）

ESP32 既支持外置 32.768 kHz 的时钟振荡器作为 RTC 睡眠时钟，也支持外部激励信号（如有源晶振）作为 RTC 睡眠时钟。外置 32.768 kHz 晶振的电路如图 7 所示。

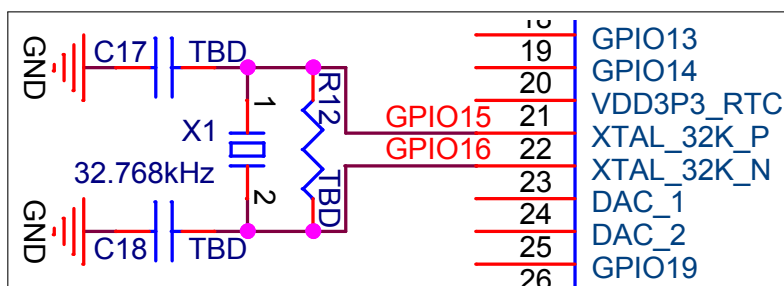


图 7: ESP32-S2 外置 RTC 晶振电路图

注意：

- 32.768 kHz 晶振选择要求：
 - 等效内阻 (ESR) $\leq 70 \text{ k}\Omega$;
 - 两端负载电容值根据晶振的规格要求进行配置。
- 并联电阻 R12 用于偏置晶振电路，电阻值要求 $5 \text{ M}\Omega < R12 \leq 10 \text{ M}\Omega$ ，该电阻一般无需上件。
- 如果不需要该 RTC 时钟源，则 pin21 (XTAL_32K_P) 和 pin22 (XTAL_32K_N) 也可配置为通用 GPIO 口使用。

外部激励信号的电路如图 8 所示：

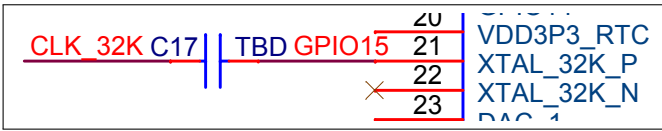


图 8: ESP32-S2 外部 RTC 时钟输入

外部时钟信号可通过一个隔直电容（20 pF 左右）输入至 XTAL_32K_P，XTAL_32K_N 悬空即可。外部激励信号参数如下表所示：

XTAL_32K_P 输入	振幅（V _{pp} ，单位：V）
正弦波或方波	0.6 < V _{pp} < VDD

2.5 射频 (RF)

ESP32-S2 的 RF 管脚 (pin2) 阻抗匹配点为 $(34+j5) \Omega$ 。设计时需添加 π 型匹配网络以便对天线进行匹配。建议 π 型匹配网络优先采用 CLC 结构。ESP32-S2 射频匹配电路如图 9 所示。

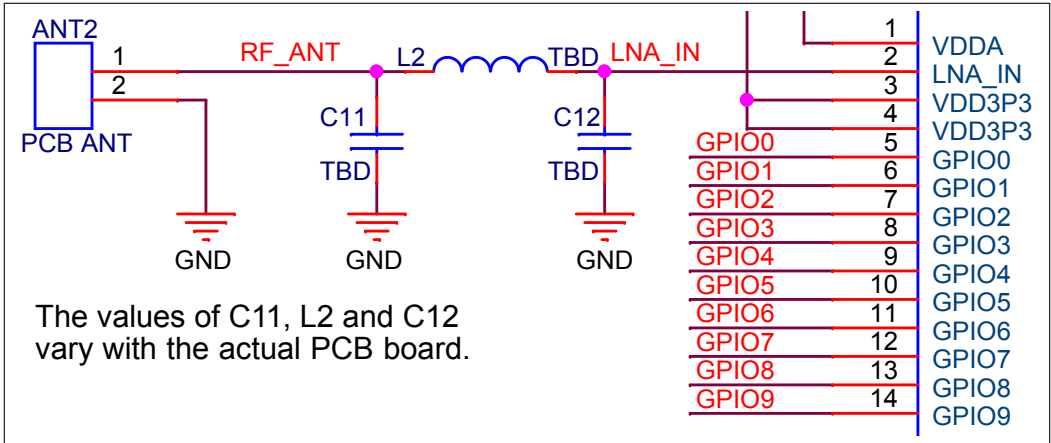


图 9: ESP32-S2 射频匹配电路图

说明：

匹配网络的器件参数值需根据实际天线和 PCB 布局进行测试来确定。

2.6 UART

U0TXD 线上需串联 499 Ω 电阻用于抑制 80 MHz 谐波。GPIO18 作为 U1RXD，在芯片上电时是不确定状态，可能会影响芯片正常进入下载启动模式，需要在外部增加一个上拉电阻来解决。

2.7 USB

ESP32-S2 带有一个集成了收发器的全速 USB OTG 外设，符合 USB 1.1 规范。GPIO19 和 GPIO20 可以分别作为 USB 的 D- 和 D+，线上建议预留串联电阻和对地电容，并注意靠近芯片端放置。

2.8 ADC

使用 ADC 功能时，建议靠近管脚添加 $0.1\ \mu\text{F}$ 的对地滤波电容。

2.9 触摸传感器

使用 TOUCH 功能时，建议靠近芯片侧预留串联电阻，用于减小线上的耦合噪声和干扰，也可加强 ESD 保护。该阻值建议 $470\ \Omega$ 到 $2\ \text{k}\Omega$ ，推荐 $510\ \Omega$ 。具体值还需根据产品实际测试效果而定。ESP32-S2 新增硬件防水功能，注意只有 GPIO14 (TOUCH14) 可以驱动屏蔽电极。

- 第二层为底层，不要摆件，走线也越少越好，尽量维持一个完整的地平面。

3.2 模组在底板上的位置摆放

如产品采用模组进行 on-board 设计，则需注意考虑模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。建议将模组尽可能地靠近底板板边放置，条件允许的情况下，PCB 天线区域最好是可以延伸出底板板框外，并使天线的馈点距离板边最近。

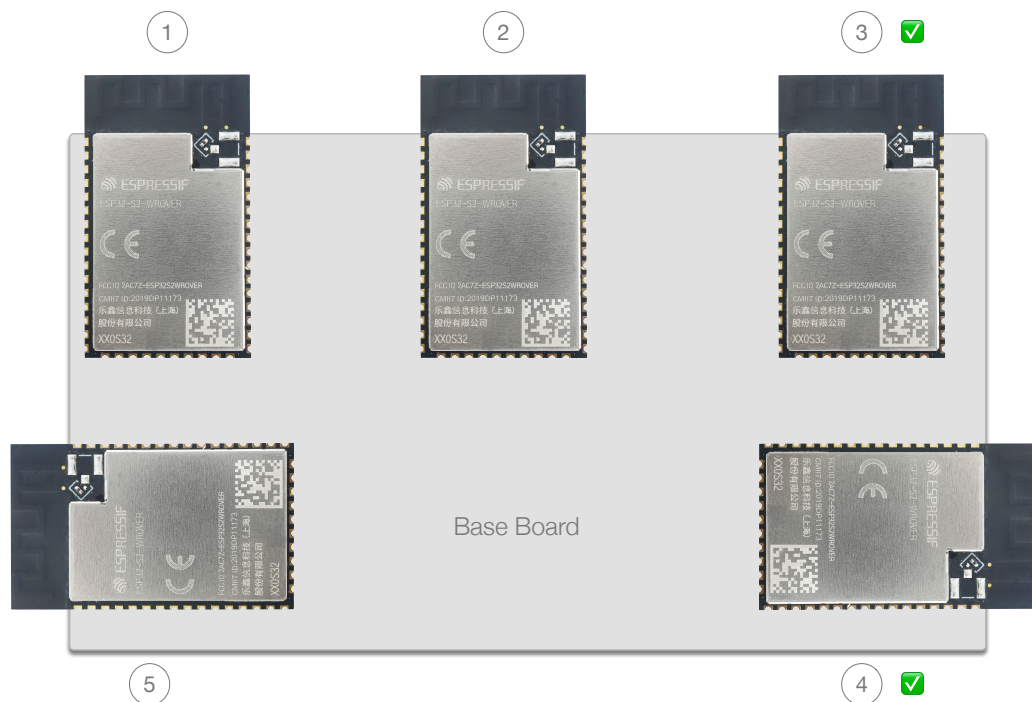


图 11: ESP32-S2 模组在底板上的位置示意图

说明:

在图 11 中，ESP32-S2 模组在底板上的位置建议如下：

- 位置 3, 4: 强烈推荐；
- 位置 1, 2, 5: 不推荐。

如上述方法受限而无法实行，请确保模块不被任何金属的外壳包裹，模块 PCB 天线区域及外扩 15 mm 区域请净空（严禁铺铜、走线、摆放元件）。该净空区域越大越好，如图 12 所示。

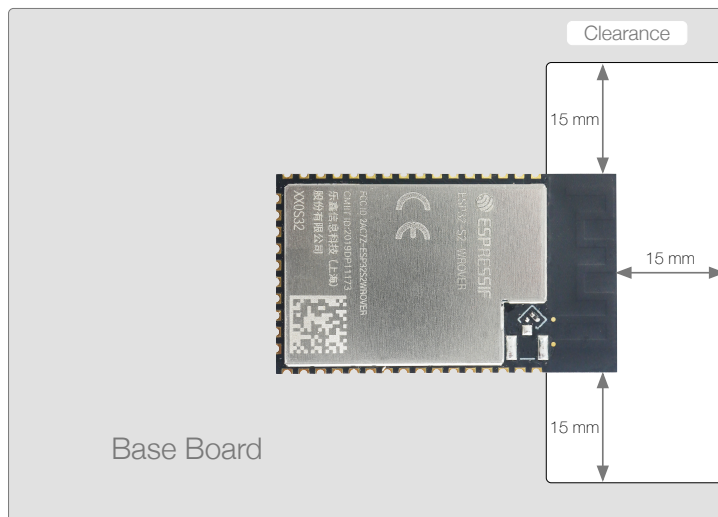


图 12: ESP32-S2 天线区域净空示意图

另外，建议 PCB 天线下方区域的底板请切割掉，以尽可能地减少底板板材对 PCB 天线的影响。涉及整机设计时，请注意考虑外壳对天线的影响。

3.3 电源

- 推荐优先采用四层板设计，电源走线尽量走在第四层（底层），通过过孔连接至顶层芯片管脚处。主干电源换层处请至少保证 2 个过孔。其余电源走线上的钻孔的直径应不小于电源走线的宽度。
- 图 13 中黄色高亮信号线即为 3.3 V 电源走线。主干电源走线的线宽建议至少 25 mil，pin3、pin4 分支电源走线建议至少 20 mil，其他分支电源走线建议 10 mil。
- 图 13 中红色圆圈部分为 ESD 保护管靠近电源端口放置。电源走线进入芯片前需添加一个 10 μ F 电容，该电容与 0.1 μ F 电容搭配使用。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。所有的去耦电容请靠近对应电源管脚放置，去耦电容的接地管脚请就近打地孔，保证较短的返回路径。
- 电源从入口进来到 pin3、pin4 的 PA 电源管脚，需在该电源线与左侧的 GPIO 线间添加 GND 隔离，并尽量能放置地孔。
- 芯片下方的地焊盘，请注意需要至少打 9 个地孔连接到地平面。

说明：

如图 13 所示，如需在模组背面芯片下方添加散热焊盘 EPAD，建议对 EPAD 进行九宫格处理，间隙处盖油墨，而地孔则打在间隙处。这样可以有效地改善模组 EPAD 焊接至底板时的漏锡问题。

3.4 晶振

晶振设计请参考图 14，另外：

- 晶振需离芯片时钟管脚稍远一些放置（gap 至少为 2.0 mm），防止晶振干扰到芯片。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。
- 晶振的时钟走线不可打孔走线，即不能跨层。晶振的时钟走线不可交叉，跨层交叉也不行。

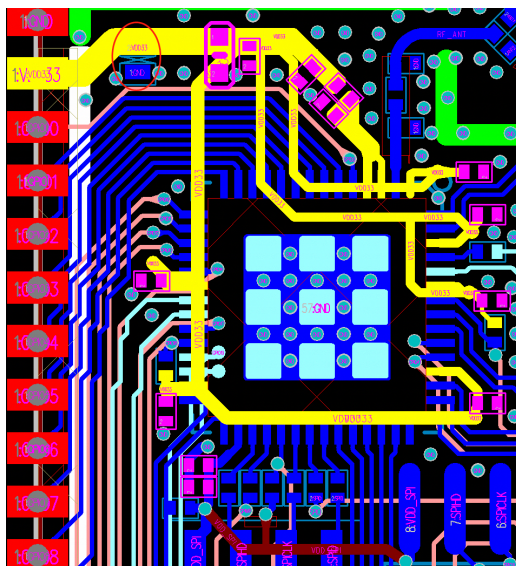


图 13: ESP32-S2 四层板电源设计

- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，并尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方 4 层都不能走高频数字信号，最佳情况是晶振下方不走任何信号线。晶振时钟走线两侧的电源线上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧可以尽可能地包地。
- 晶振为敏感器件，晶振周围不能有磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

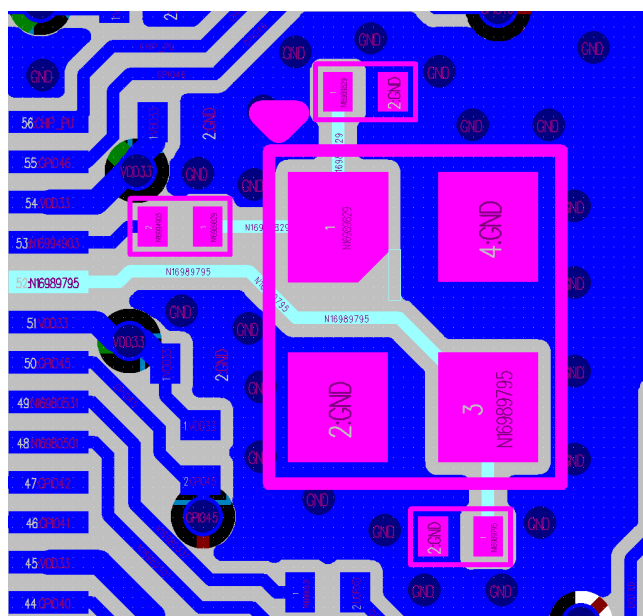


图 14: ESP32-S2 晶振设计

3.5 射频

下图 15 中高亮走线即为射频走线。

- 射频走线须做 $50\ \Omega$ 单端阻抗控制，参考平面为第二层。射频走线上需预留一个 π 型匹配电路，且 π 型匹配电路需尽可能地靠近芯片端放置。

- 射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。
- 射频走线在表层，走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。
- 射频走线须保证相邻层完整地平面，射频走线下方尽可能不要有任何走线。
- 射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振，DDR，一些高频时钟等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线（包括走线、过孔、测试点、插针引脚等）都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。
- 射频走线在做 $50\ \Omega$ 单端阻抗控制时，可参考图 16 所示的 PCB 叠层结构设计。

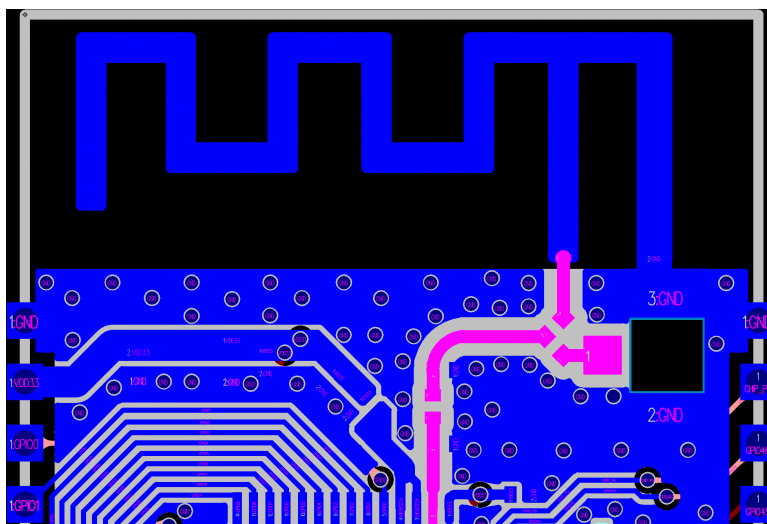


图 15: ESP32-S2 四层板射频部分版图设计

厚度 (mm)	阻抗 (Ohm)	铜距 (mil)	线宽 (mil)	铜距 (mil)
-	50	12.2	12.6	12.2

叠层	材质	基铜厚 (oz)	厚度 (mil)	介电常数
阻焊层			0.4	4
L1_Top	成品铜厚 1 oz	0.33	0.8	
	7628 TG150 RC50%		8	4.39
L2_Gnd		1	1.2	
	芯板		可调	4.43
L3_Power		1	1.2	
	7628 TG150 RC50%		8	4.39
L4_Bottom	成品铜厚 1 oz	0.33	0.8	
阻焊层			0.4	4

图 16: ESP32-S2 PCB 叠层结构设计

3.6 Flash 及 PSRAM

SPI 通信线上预留的串联电阻请靠近芯片侧放置。SPI 走线请尽可能地走到内层（例如第三层），并注意 SPI 的 CLK 及 DATA 走线都需单独进行包地处理。Flash 及 PSRAM 的版图设计如图 17 所示。

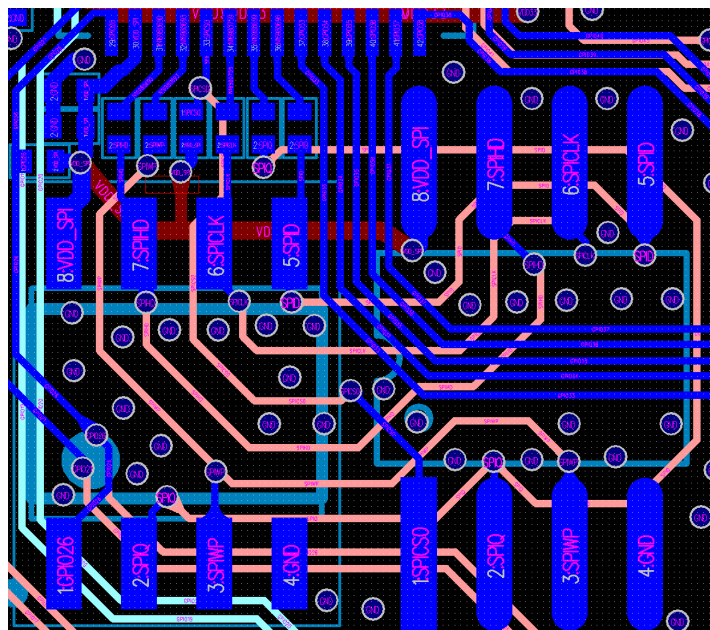


图 17: ESP32-S2 Flash 及 PSRAM 版图设计

3.7 UART

U0TXD 线上的串联电阻需尽可能地靠近芯片并远离晶振放置。U0TXD、U0RXD 在顶层的走线需尽量短，而且全路径尽量用地线包裹，周围加地孔屏蔽。

3.8 USB

USB 线上预留的 RC 电路请靠近芯片放置。USB 走线请尽可能地走内层（第三层），走线请按照差分走线，保持平行等长。有完整的参考地平面，走线两侧请注意包地处理。

3.9 触摸传感器

ESP32-S2 提供多达 14 个支持电容式触摸传感的 IO，能够检测触摸传感器上因手指接触或接近而产生的电容变化。芯片内部的电容检测电路具有低噪声和高灵敏度的特性，支持用户使用面积较小的触摸垫来实现触摸检测功能，用户也可使用触摸板阵列以探测更大的区域或更多的测试点。图 18 为基于 ESP32-S2 的典型触摸传感应用。

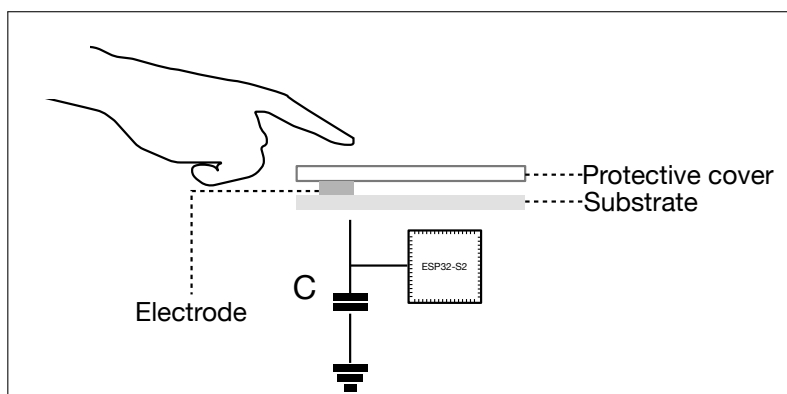


图 18: 典型的触摸传感器应用

为防止电容耦合和其他电干扰影响触摸传感系统的灵敏度，用户需要考虑以下因素：

电极图形

适当大小和形状的电极有助于提高系统灵敏度。常见的有圆形、椭圆形和形状类似人的指尖的电极。过大或形状不规则的电极可能导致附近电极发生错误响应。

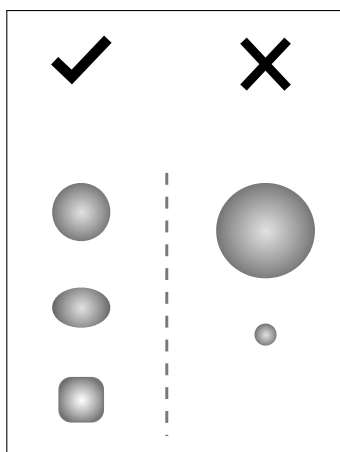


图 19: 电极图形要求

说明:

图 19 未按照实际比例示例。建议用户用指尖作为参考。

PCB 布局

图 20 为传感器布线布局，具体的走线注意事项如下：

- 走线长度请尽量短，建议不超过 300 mm
- 走线宽度 (W) 不能大于 0.18 mm (7 mil)
- 走线夹角 (R) 不应小于 90°
- 走线离地间隙 (S) 范围 0.5 mm 到 1 mm
- 触摸电极直径 (D) 范围 8 mm 到 15 mm
- 触摸电极和走线应被栅格地围绕
- 触摸传感器电路注意远离射频天线电路，并注意隔离

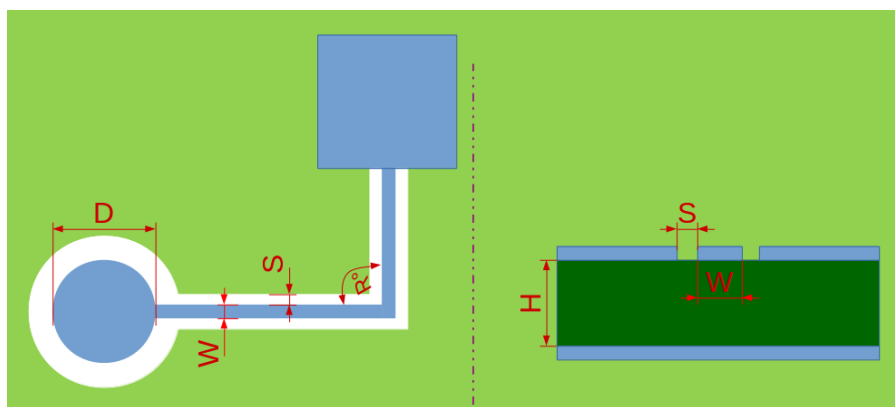


图 20: 传感器布局布线

另外，ESP32-S2 新增硬件防水和接近传感器功能，图 21 为防水和接近传感器参考的布局。为更好实现上述功能，请注意以下事项：

- 屏蔽电极的宽度建议 2 cm
- 顶层填充网格，走线宽度为 7 mil，网格宽度为 45 mil（25% 填充），填充的网格与驱动屏蔽信号连接
- 底层填充网格，走线宽度为 7 mil，网格宽度为 70 mil（17% 填充），填充的网格与驱动屏蔽信号连接
- 建议保护传感器应为弯曲边缘的矩形，包围其他所有传感器
- 保护传感器宽度建议为 2 mm
- 保护传感器与屏蔽传感器宽度间隙建议为 1 mm
- 接近传感器的感应距离与接近传感器的面积成正比，但增大感应面积也会带来更大噪声，需实际测试
- 接近传感器形状建议为闭合环状。宽度建议为 1.5 mm

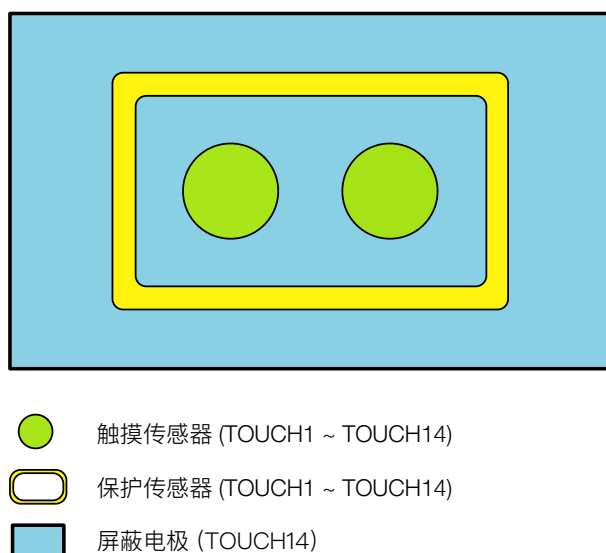


图 21: 屏蔽电极和保护传感器

说明：

关于触摸传感器的硬件设计，详见 [《ESP32 触摸传感器应用方案简介》](#)。

3.10 版图设计常见问题

3.10.1 为什么电源纹波并不大，但射频的 TX 性能很差？

现象分析

电源纹波可极大地影响射频的 TX 性能。测量电源纹波时需注意电源纹波必须是在 ESP32-S2 正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 <80 mV。发送 11m@11b 时，电源纹波峰峰值必须 <120 mV。

解决方法

在电源支路上（支路为 ESP32-S2 模拟电源管脚）添加一个 $10\ \mu\text{F}$ 的滤波电容。 $10\ \mu\text{F}$ 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

3.10.2 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析

射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 UART 走线，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法

此问题主要是在布局上，可以重新布局，详见章节 3 版图布局。

3.10.3 为什么 ESP32-S2 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析

当仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法

射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

3.10.4 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析

芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 TX 与 RX 走线穿过射频走线等。另外，如果主板上存在非常多的高频信号干扰源，则需根据主板设计来考量信号完整性的问题。

解决方法

请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节 3 版图布局。

4. 开发硬件介绍

4.1 ESP32-S2 模组

请至乐鑫官网的[模组页面](#)查看 ESP32-S2 系列模组的最新详细信息。

乐鑫官网的[文档页面](#)提供模组的参考设计。

模组使用注意事项

- 贴片模组使用单一管脚供电，客户只需外接 1 个 3.3 V，可提供 500 mA 及以上电流输出的电源即可。该 3.3 V 电源既可为模拟电路供电，也可为数字电路供电。
- EN 管脚为模组使能管脚，正常工作时需把 EN 管脚置高电平。模组上未添加 RC 延时电路，建议客户在模组外部添加。可参考章节 2.2。
- 将 GND、RXD、TXD 接出外接 USB 转 UART 工具下载、打印 log 以及通信。

出厂模式下的模组 flash 已下载初始固件。如需自行重新烧录固件，烧录 flash 的操作步骤如下：

1. 烧录前，需要设置模组在 UART 下载模式下工作；即将 IO0（默认为高）和 IO46（默认为低）下拉到低电平；
2. 给模组上电，通过串口查看是否进入 Download 模式。
3. 通过 [Flash 下载工具](#)将程序固件烧录进 flash；
4. 烧录结束后，IO0 需上拉切换至高电平，进入 SPI 启动模式下工作；
5. 重新上电，芯片初始化时会从 flash 中读取程序运行。

注意：

- 整个操作过程都可通过 UART 打印 log 信息查看芯片运行是否正常。当无法烧录或程序无法运行时，可通过串口打印信息查看芯片初始化时设置的工作模式是否正常。
- 串口打印工具和烧录工具不能同时占用串口端口。

4.2 ESP32-S2 开发板

请至乐鑫官网的[开发板页面](#)查看 ESP32-S2 系列开发板的最新详细信息。

修订历史

日期	版本	发布说明
2020-11-18	V1.1	<ul style="list-style-type: none">在 2.2.1 小节将 RC 延迟电路的电容值更新为 1 μF；在 4.1 小节中将模组进入 UART 下载模式所需的管脚更新为 IO0 和 IO46。
2020-05-07	V1.0	首次发布。