

ESP32

硬件设计指南



版本 3.0
乐鑫信息科技
版权 © 2020

关于本文档

《ESP32 硬件设计指南》主要提供了在使用 ESP32 系列产品进行电路设计和 PCB 布局时需注意的事项。本文还简要介绍了 ESP32 系列产品的硬件信息，包括 ESP32 芯片、模组、开发板以及典型应用方案等。

文档版本

请至乐鑫官网 <https://www.espressif.com/zh-hans/support/download/documents> 下载最新版本文档。

修订历史

请至文档最后一页查看 [修订历史](#)。

文档变更通知

用户可以通过乐鑫官网订阅页面 www.espressif.com/zh-hans/subscribe 订阅技术文档变更的电子邮件通知。您需要更新订阅以接收有关新产品的文档通知。

证书下载

用户可以通过乐鑫官网证书下载页面 www.espressif.com/zh-hans/certificates 下载产品证书。

免责声明和版权公告

本文中的信息，包括参考的 URL 地址，如有变更，恕不另行通知。文档“按现状”提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。

本文档不负任何责任，包括使用本文档内信息产生的侵犯任何专利权行为的责任。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2020 乐鑫所有。保留所有权利。

目录

1 产品概述	1
2 原理图设计	2
2.1 电源	3
2.1.1 数字电源	3
2.1.2 模拟电源	4
2.2 上电时序与复位	4
2.2.1 上电时序	4
2.2.2 复位	4
2.3 Flash (必选) 及 PSRAM (可选)	5
2.4 晶振	5
2.4.1 外部时钟参考 (必选)	5
2.4.2 RTC 时钟 (可选)	6
2.5 射频 (RF)	7
2.6 ADC	7
2.7 外置阻容	8
2.8 UART	8
2.9 SDIO	9
2.10 触摸传感器	9
3 版图布局	10
3.1 独立的 ESP32 模组的版图设计	10
3.1.1 版图设计通用要点	10
3.1.2 模组在底板上的位置摆放	11
3.1.3 电源	12
3.1.4 晶振	14
3.1.5 射频	15
3.1.6 Flash 及 PSRAM	16
3.1.7 外置阻容	16
3.1.8 UART	16
3.1.9 触摸传感器	16
3.2 ESP32 作为从设备的版图设计	18
3.3 版图设计常见问题	19
3.3.1 为什么电源纹波并不大, 但射频的 TX 性能很差?	19
3.3.2 为什么芯片发包时, 电源纹波很小, 但射频的 TX 性能不好?	19
3.3.3 为什么 ESP32 发包时, 仪器测试到的 power 值比 target power 值要高很多或者低很多, 且 EVM 比较差?	19
3.3.4 为什么芯片的 TX 性能没有问题, 但 RX 的灵敏度不好?	20
4 开发硬件介绍	21
5 典型应用案例	22
5.1 ESP32 智能音频平台	22

5.1.1	ESP32-LyraT 音频开发板	22
5.1.2	ESP32-LyraTD-MSC 音频开发板	23
5.2	ESP32 触摸传感器方案—ESP32-Sense Kit	24
5.3	ESP-Mesh 应用—ESP32-MeshKit	25
	修订历史	26

插图

1	ESP32 参考设计原理图 (本章截图均以 ESP32-D0WD 为例)	2
2	ESP32 数字电源	3
3	ESP32 模拟电源	4
4	ESP32 Flash 及 PSRAM 电路	5
5	ESP32 晶振电路图	6
6	外置晶振电路图	6
7	外部激励信号电路图	7
8	ESP32 射频匹配电路图	7
9	ESP32 外置电容	8
10	ESP32 串口	8
11	ESP32 版图设计	10
12	ESP32 模组在底板上的位置示意图	11
13	ESP32 天线区域净空示意图	12
14	ESP32 四层板电源设计	13
15	九宫格设计	13
16	ESP32 两层板电源设计	14
17	ESP32 晶振设计	14
18	ESP32 四层板射频部分版图设计	15
19	ESP32 两层板射频部分版图设计	15
20	ESP32 Flash 及 PSRAM 版图设计	16
21	ESP32 UART 设计	16
22	典型的触摸传感器应用	17
23	电极图形要求	17
24	传感器布局布线	18
25	PAD/TV Box 平面位置规划框架	18
26	ESP32-LyraT 俯视图	22
27	ESP32-LyraT 仰视图	23
28	ESP32-LyraTD-MSK 外观图	24
29	ESP32-Sense Kit 开发套件	24
30	ESP32-MeshKit-Light 灯	25
31	ESP32-MeshKit-Sense 开发板	25

1. 产品概述

ESP32 是集成 2.4 GHz Wi-Fi 和蓝牙双模的单芯片方案，采用台积电 (TSMC) 超低功耗的 40 纳米工艺，具有超高的射频性能、稳定性、通用性和可靠性，以及超低的功耗，满足不同的功耗需求，适用于各种应用场景。

ESP32 是业内集成度领先的 Wi-Fi + 蓝牙解决方案，外部元器件仅有 20 个，并且集成了天线开关、射频 balun、功率放大器、低噪声放大器、滤波器、电源管理模块和先进的自校准电路，极大减少了印刷电路板 (PCB) 的面积。

ESP32 还集成了先进的自校准电路，实现了动态自动调整，可以消除外部电路的缺陷，更好地适应外部环境的变化。因此，ESP32 的批量生产不需要昂贵的专用 Wi-Fi 测试设备。

目前 ESP32 系列的产品型号包括 ESP32-D0WD-V3，ESP32-D0WDQ6-V3，ESP32-D0WD，ESP32-D0WDQ6，ESP32-D2WD，ESP32-S0WD 和 ESP32-U4WDH，其中，ESP32-D0WD-V3，ESP32-D0WDQ6-V3 和 ESP32-U4WDH 是基于 ECO V3 的芯片型号。产品型号说明和订购信息请参考文档 [《ESP32 技术规格书》](#)。有关 ECO V3 的更多信息，请参考文档 [《ESP32 ECO V3 使用指南》](#)。

2. 原理图设计

ESP32 的核心电路只需要 20 个左右的电阻电容电感、1 个无源晶振及 1 个 SPI flash 组成。ESP32 集成了完整的发射/接收射频功能，包括天线开关，射频 balun，功率放大器，低噪放大器，过滤器，电源管理模块和先进的自校准电路。ESP32 的高度集成使得其外围电路设计比较简单。为了能够更好地保证 ESP32 工作性能，本规范将详细介绍 ESP32 的原理图以及 PCB 布局设计。

ESP32 的核心电路图如图 1 所示。

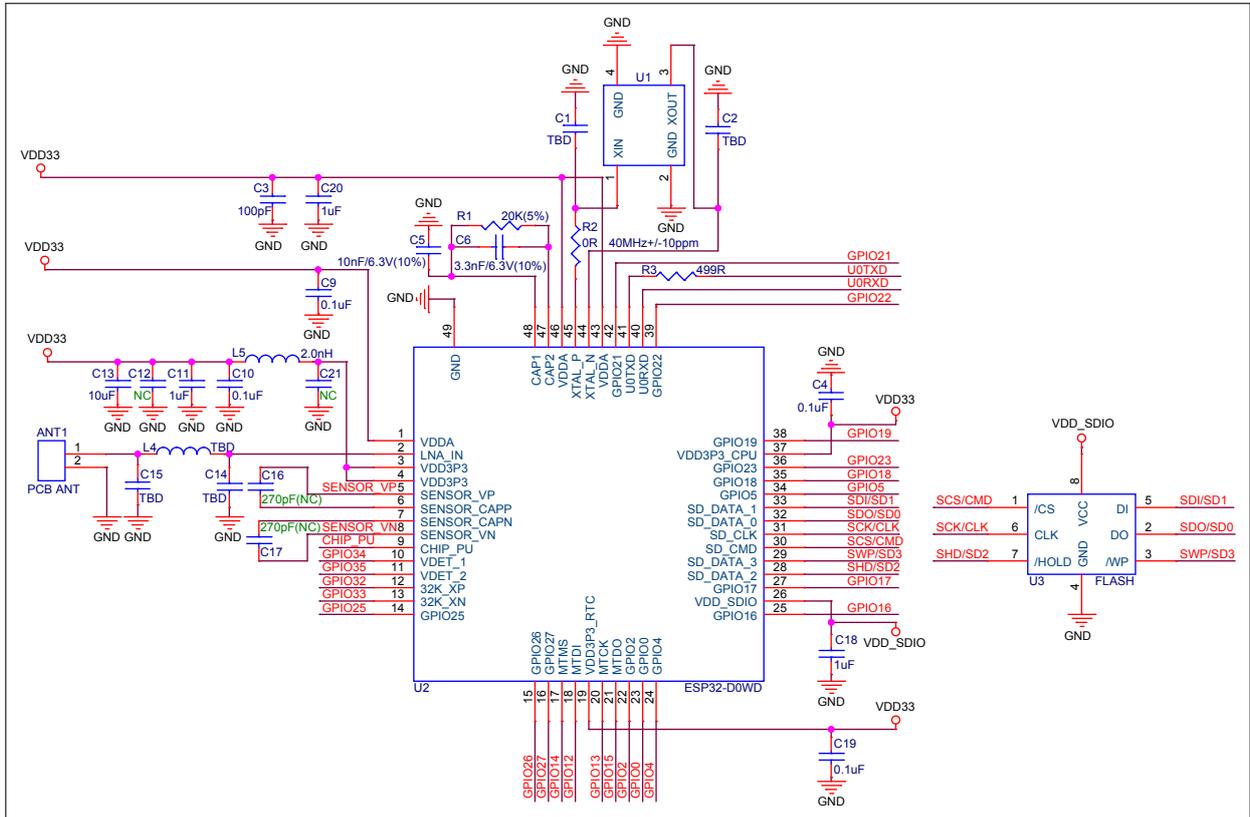


图 1: ESP32 参考设计原理图 (本章截图均以 ESP32-D0WD 为例)

ESP32 的核心电路图的设计有 10 个部分注意事项：

- 电源
- 上电时序与复位
- Flash 及 PSRAM (可选)
- 晶振
- 射频
- ADC
- 外置阻容
- UART
- SDIO

- 触摸传感器

下文将分别对这 10 个部分进行描述。

2.1 电源

关于电源管脚使用注意事项，请查看 [《ESP32 技术规格书》](#) 中电源管理章节。

2.1.1 数字电源

ESP32 的 pin19 及 pin37 分别为 RTC 电源管脚和 CPU 电源输入管脚。数字电源工作电压范围为 1.8 V ~ 3.6 V。建议在电路中靠近数字电源管脚处分别添加 0.1 μ F 电容。

VDD_SDIO 管脚 (pin26) 可配置输出 1.8 V (Boot 启动时, 需 GPIO12 的值为 1), 或输出 3.3 V (Boot 启动时, 需 GPIO12 的值为 0, 默认状态), 给外部电路使用。

- 当 VDD_SDIO 处于 1.8 V 模式时, 由 ESP32 内部的 LDO 产生。LDO 能提供的最大电流为 40 mA, 输出电压范围为 1.65 V ~ 2.0 V。当 VDD_SDIO 输出为 1.8 V 时, 建议在 VDD_SDIO 管脚处添加 2 k Ω 对地电阻及 4.7 μ F 对地电容。
- 当 VDD_SDIO 处于 3.3 V 模式时, 由 VDD3P3_RTC 通过约 6 Ω 电阻直接供电。因此, VDD_SDIO 相对 VDD3P3_RTC 会有一定电压降。当 VDD_SDIO 输出 3.3 V 时, 建议在 VDD_SDIO 靠近管脚处添加 1 μ F 的滤波电容。

VDD_SDIO 也可由外部电源供电。另外, 当使用 VDD_SDIO 给外部 3.3 V flash/PSRAM 供电时, 需要满足 flash/PSRAM 的工作电压要求, 一般应保证电压在 3.0 V 以上。ESP32 数字电源电路图如图 2 所示。

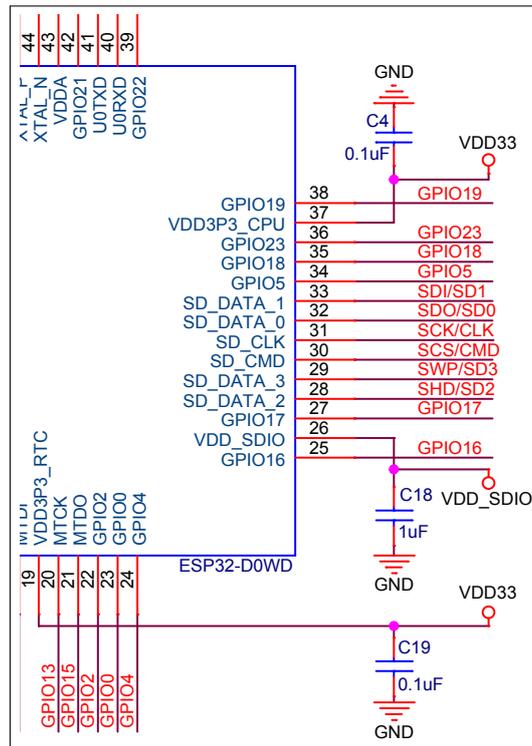


图 2: ESP32 数字电源

2.1.2 模拟电源

ESP32 的 pin1、pin3、pin4、pin43、pin46 为模拟电源。该部分电源需要注意的是当 ESP32 工作在 TX 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在电源走线上增加一个 $10\ \mu\text{F}$ 电容，该电容可与 $0.1\ \mu\text{F}$ 电容搭配使用。另外，在靠近 pin3，pin4 管脚还需添加 LC 滤波电路，用于抑制高频谐波，同时请注意该电感的额定电流最好在 $500\ \text{mA}$ 及以上。ESP32 模拟电源电路图如图 3 所示。

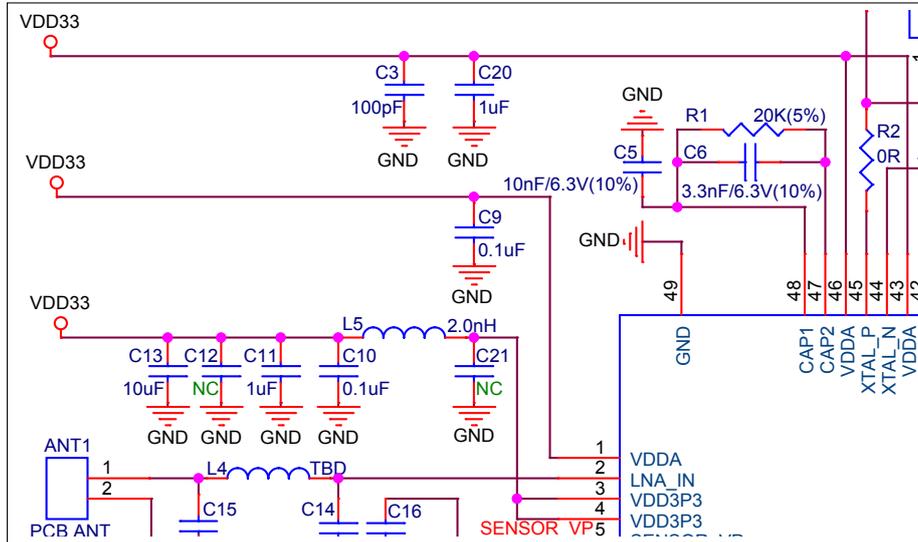


图 3: ESP32 模拟电源

注意:

- 建议供给 ESP32 的电源电压为 $3.3\ \text{V}$ ，最大输出电流可达 $500\ \text{mA}$ 及以上。
- 电源入口处建议添加 ESD 保护器件。

2.2 上电时序与复位

2.2.1 上电时序

ESP32 使用 $3.3\ \text{V}$ 作为统一的系统电源，所以上电时序上只需遵循：ESP32 的 pin9 CHIP_PU 使能管脚上电要晚于系统电源 $3.3\ \text{V}$ 上电。具体请见《ESP32 技术规格书》中电源管理章节。

注意:

为确保芯片上电时的供电正常，CHIP_PU 管脚处需要增加 RC 延迟电路。RC 通常建议为 $R = 10\ \text{k}\Omega$ ， $C = 0.1\ \mu\text{F}$ ，但具体数值仍需根据电源的上电时序和芯片的上电复位时序进行调整。

2.2.2 复位

ESP32 的复位可使用 CHIP_PU 管脚。当 CHIP_PU 为低电平时，复位电平 (V_{IL_nRST}) 要求足够低，并且持续一段时间。具体请见《ESP32 技术规格书》中电源管理章节。为防止外界干扰引起重启，CHIP_PU 引线需尽量短一些，且最好加上拉电阻和对地电容。

注意:

该管脚不可浮空。

2.3 Flash (必选) 及 PSRAM (可选)

ESP32 对外部 flash 和 SRAM 各可以最大支持到 16 MB 和 8 MB。目前采用的 demo 模组为 4 MB flash，封装为 SOP8 (208 mil)，使用 VDD_SDIO 输出电源供电。需注意的是，需根据设置的 VDD_SDIO 输出电源电压大小选择合适工作电压的 flash 和 PSRAM。

注意 PSRAM 除了 CS 管脚，其余都可以和 flash 复用。

ESP32 flash 及 PSRAM 电路请见图 4。

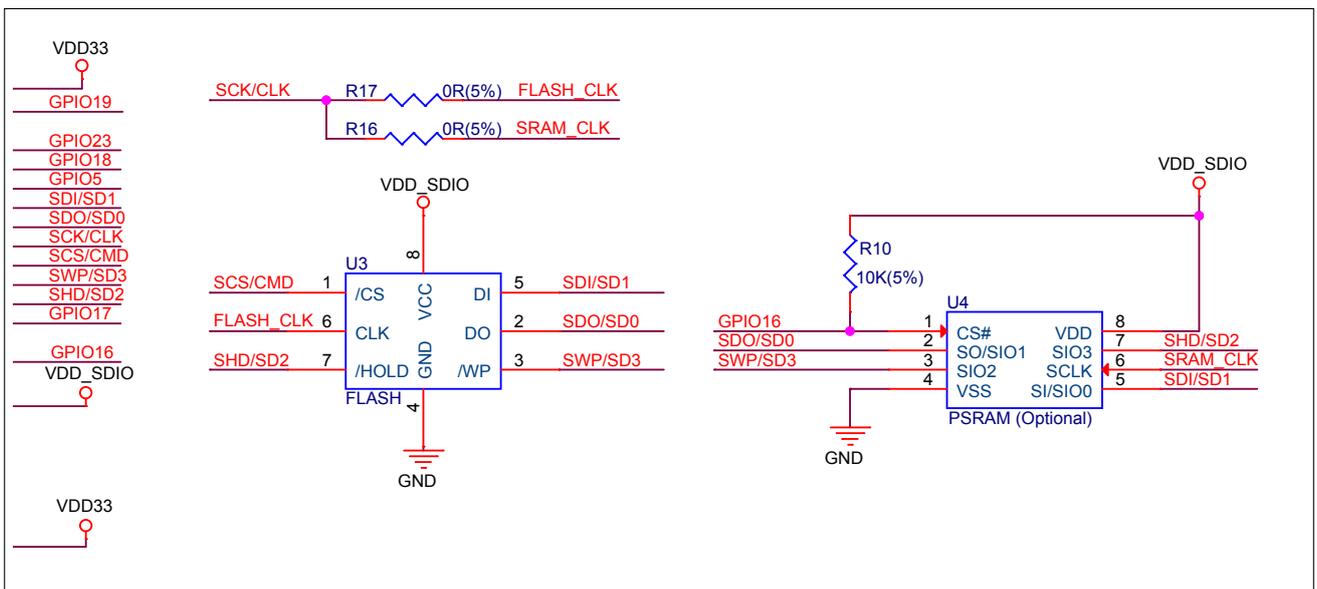


图 4: ESP32 Flash 及 PSRAM 电路

2.4 晶振

ESP32 外部可以有 2 个晶振提供时钟源，即外部晶振时钟源和 RTC 时钟源。

2.4.1 外部时钟参考 (必选)

目前 ESP32 Wi-Fi/BT 固件仅支持 40 MHz 晶振。晶振外部匹配电容 C1、C2 具体值需要通过系统测试后进行调节确定。建议 XTAL_P 时钟走线上预留一个 $0\ \Omega$ 的串联电阻，以减小晶振的驱动能力，减弱晶振谐波对射频性能的影响。注意，选用的晶振自身精度需在 $\pm 10\ \text{ppm}$ 。ESP32 晶振部分的电路如图 5 所示。

注意:

- 如需使用有源晶振，则将晶振的时钟输出通过一个隔直电容（10 pF 左右）连接至芯片端的 XTAL_P 端，XTAL_N 悬空即可。注意需要保证该有源晶振的输出时钟稳定且精度在 $\pm 10\ \text{ppm}$ 以内，输入到 XTAL_P 的幅值不超过 1.1 V。另外，建议用户做好外接无源晶振的兼容设计，以防有源晶振电路出现问题时仍可替换为无源晶振工作。
- 尽管 ESP32 内部带有自校准功能，但是晶振本身的质量问题，比如自身频偏过大（例如大于 $\pm 10\ \text{ppm}$ ），工作温度稳定度不高等仍然会影响 ESP32 的正常工作，导致射频指标性能下降。

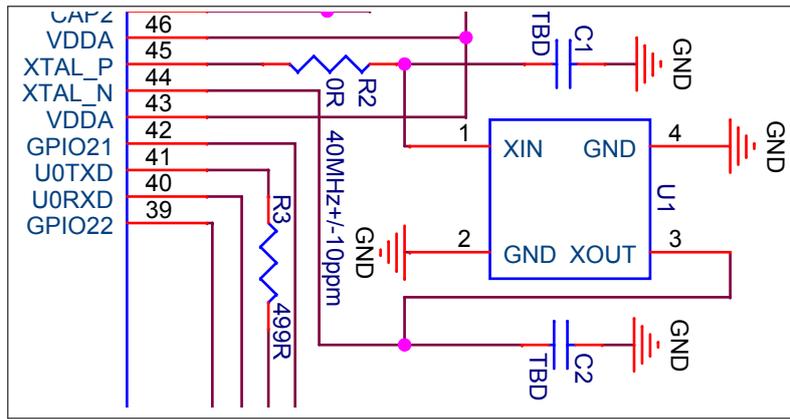


图 5: ESP32 晶振电路图

2.4.2 RTC 时钟（可选）

ESP32 既支持外置 32.768 kHz 的时钟振荡器作为 RTC 睡眠时钟，也支持外部激励信号（如有源晶振）作为 RTC 睡眠时钟。外置 32.768 kHz 晶振的电路如图 6 所示。

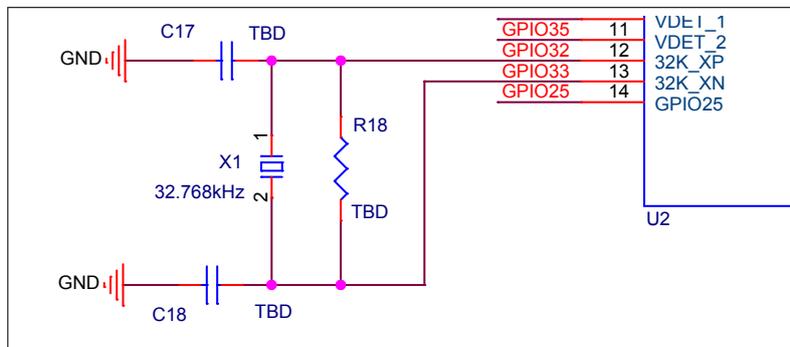


图 6: 外置晶振电路图

注意：

- 32.768 kHz 晶振选择要求：
 - 等效内阻 (ESR) $\leq 70 \text{ K}\Omega$;
 - 两端负载电容值根据晶振的规格要求进行配置。
- 并联电阻 R4 用于偏置晶振电路，电阻值要求 $5 \text{ M}\Omega < R4 \leq 10 \text{ M}\Omega$ 。
- ESP32-D0WD-V3 外接 32.768 kHz 晶振时，并联的电阻必须上件；ESP32 系列其他芯片建议预留。
- 如果不需要该 RTC 时钟源，则 pin12 (32K_XP) 和 pin13 (32K_XN) 也可配置为通用 GPIO 口使用。

外部激励信号的电路如图 7 所示：

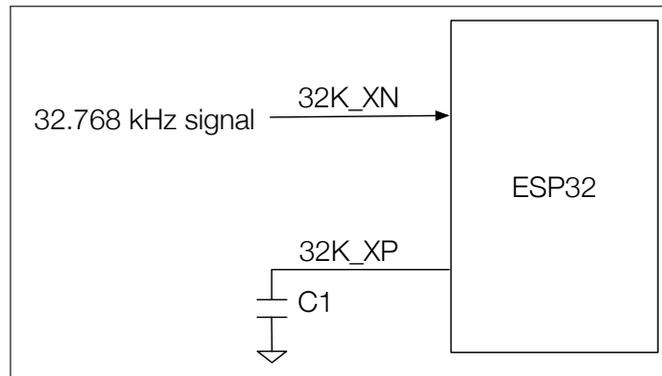


图 7: 外部激励信号电路图

图中 C1 要求大于 200 pF。外部激励信号参数如下表所示：

32K_XN 输入	振幅 (Vpp, 单位: V)
正弦波或方波	$0.6 < V_{pp} < V_{DD}$

2.5 射频 (RF)

ESP32 (QFN 6*6) 和 (QFN 5*5) 的 RF 管脚 (pin2) 输出阻抗分别为 $(30+j10)$ 和 $(35+j10)$ Ω ，设计时需添加 π 型匹配网络以便对天线进行匹配。建议 π 型匹配网络优先采用 CLC 结构。ESP32 射频匹配电路如图 8 所示。

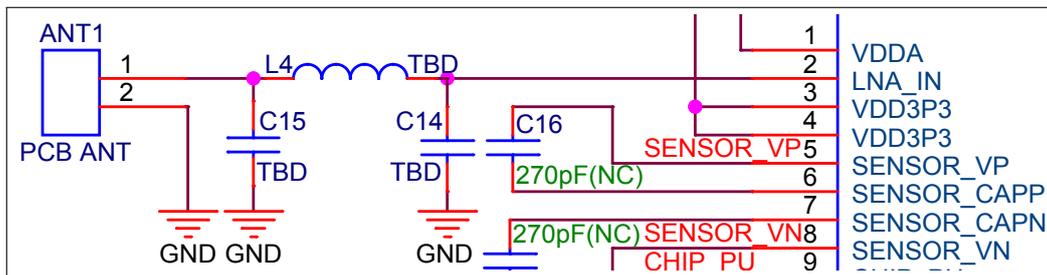


图 8: ESP32 射频匹配电路图

说明:

匹配网络的器件参数值需根据实际天线和 PCB 布局进行测试来确定。

2.6 ADC

使用 ADC 功能时，建议靠近管脚添加 0.1 μF 的对地滤波电容。

- 在初始化 SARADC1 或 SARADC2 或霍尔传感器的时候，会在 SENSOR_VP/SENSOR_VN PAD 的内部产生一个持续约 80 ns 的输入毛刺。
- 优先推荐使用 SENSOR_VP 及 SENSOR_VN 作为 ADC 使用。
- 如果设计中使用了 SENSOR_VP/SENSOR_VN 作为 GPIO，且同时使用了其他 ADC，则需要额外的软件处理，避开该毛刺。
- 目前 ADC2 不支持与 Wi-Fi 同时使用，优先推荐使用 ADC1。

- 目前不支持高精度 ADC。SENSOR_VP 和 SENSOR_CAPP 及 SENSOR_VN 和 SENSOR_CAPN 之间的两个采样电容 270 pF 可删除。之后这 4 个管脚可当做普通的 ADC 或是 GPIO 使用。
- ADC 的输入电压建议不超过 2450 mV，推荐在 100 ~ 950 mV 间，以获得更高的校准精度。具体请参考《ESP32 技术规格书》中 ADC 章节。

2.7 外置阻容

ESP32 的 pin47 CAP2 和 pin48 CAP1 的连接电路见图 9。CAP1 所连的 C5 (10 nF) 是保证 ESP32 正常工作的必要器件，不能移除，且精度应在 10% 以内。CAP1 与 CAP2 之间的 RC 电路在特定条件下可以取消。这部分电路用于在 Deep-sleep 模式下缩短芯片内部电压降（从 1.1 V 降到 0.7 V）的时间，以将功耗降至最低。移除这部分电路会导致电压降的时间变长，功耗增加。如果特定的应用场景不需要 ESP32 的 Deep-sleep 模式或者对于功耗的要求不高，则可以移除这部分电路。

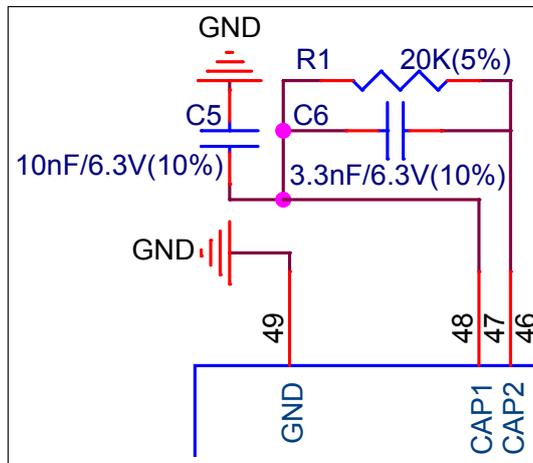


图 9: ESP32 外置电容

2.8 UART

U0TXD 线上需串联 499 Ω 电阻用于抑制 80 MHz 谐波。ESP32 UART 串口电路如图 10 所示。

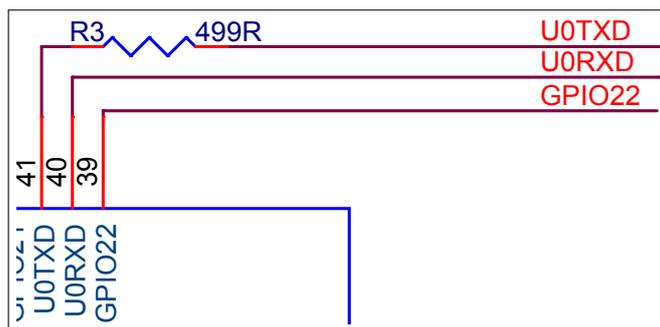


图 10: ESP32 串口

2.9 SDIO

对于 SDIO host/slave，ESP32 共有两组 slot 的 GPIO 可供使用，由于 slot0 中的 GPIO 默认连接了 flash，请按照下表中 slot1 的方式连接 GPIO 和信号线：

	CMD	CLK	DAT0	DAT1	DAT2	DAT3	备注
Slot0	GPIO11	GPIO6	GPIO7	GPIO8	GPIO9	GPIO10	默认连接 flash，不推荐用作它用。
Slot1	GPIO15	GPIO14	GPIO2	GPIO4	GPIO12	GPIO13	和 JTAG、Touch、EMAC、strapping 功能复用，使用时请注意。

按照 slot1 的方式连接时还需注意：

- 当 ESP32 作为 SDIO 主机工作时，请在使用的管脚上添加上拉，未使用的管脚可以用作它用；
- 当 ESP32 作为 SDIO 从机工作时，请在所有管脚上都添加上拉，无论这些管脚使用或未使用；未使用的管脚不可以用作它用。

更多关于 SDIO 的配置，请参阅 [《API 参考》](#)。

2.10 触摸传感器

使用触摸传感功能时，建议靠近芯片侧预留串联电阻，用于减小线上的耦合噪声和干扰，也可加强 ESD 保护。该阻值建议 470 Ω 到 2 k Ω ，推荐 510 Ω 。具体值还需根据产品实际测试效果而定。

3. 版图布局

本章节将以 ESP32-WROOM-32D 模组的 PCB layout 为例，介绍 ESP32 PCB layout 设计要点。ESP32 版图设计如图 11 所示。

版图布局分为以下两部分来介绍：

- 独立的 ESP32 模组版图设计
- ESP32 作为从设备版图设计

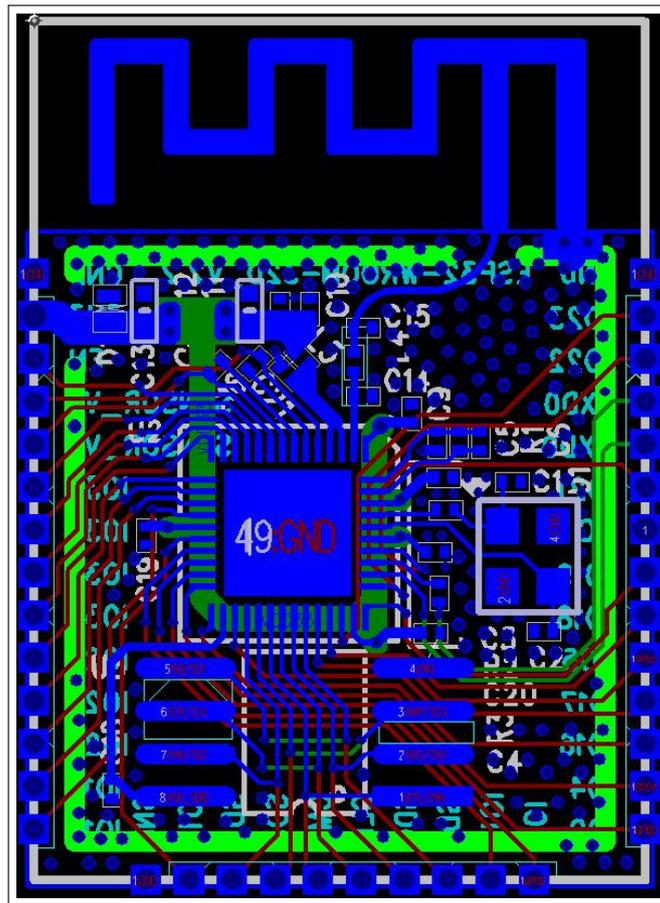


图 11: ESP32 版图设计

3.1 独立的 ESP32 模组的版图设计

3.1.1 版图设计通用要点

建议采用四层板设计，即：

- 第一层为顶层，主要用于走信号线和摆件。
- 第二层为地层，不走信号线，保证一个完整的地平面。
- 第三层为电源层，铺地平面，使射频及晶振部分可以得到更好的屏蔽。在保证射频及晶振部分下方完整地平面的情况下，可适度走信号线。
- 第四层为底层，不建议摆件，将电源走在该层。

如采用两层板设计：

- 第一层为顶层，主要用于摆件和走线。
- 第二层为底层，不要摆件，走线也越少越好，尽量维持一个完整的地平面。

3.1.2 模组在底板上的位置摆放

如产品采用模组进行 on-board 设计，则需注意考虑模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。

建议将模组尽可能地靠近底板板边放置，条件允许的情况下，PCB 天线区域最好是可以延伸出底板板框外，并使天线的馈点距离板边最近。在图 12 中，ESP32 模组在底板上的位置 3 和 4 强烈推荐，位置 1、2、5 不推荐。

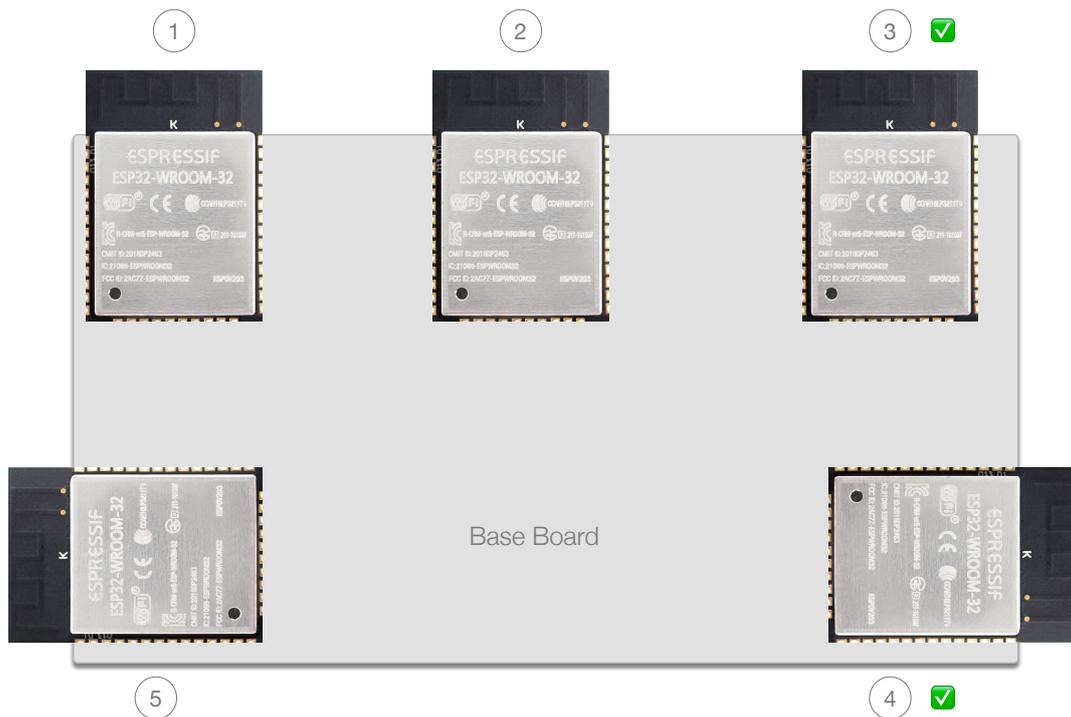


图 12: ESP32 模组在底板上的位置示意图

如上述方法受限而无法实行，请确保模块不被任何金属的外壳包裹，模块 PCB 天线区域及外扩 15 mm 区域需净空（严禁铺铜、走线、摆放元件），如图 13 所示：

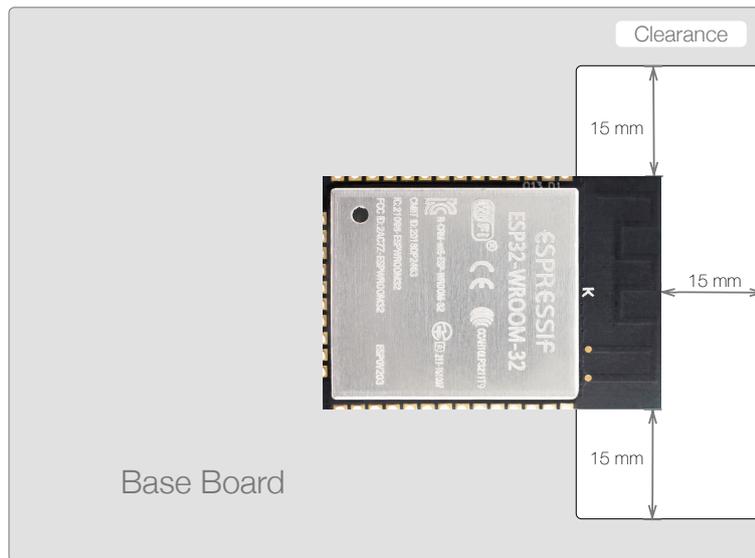


图 13: ESP32 天线区域净空示意图

另外，如果天线区域下方有底板，建议切割掉以尽可能减少底板板材对 PCB 天线的影响。涉及整机设计时，请注意考虑外壳对天线的影响。

3.1.3 电源

• 四层板设计

- 推荐优先采用四层板设计，电源走线尽量走在第四层（底层），通过过孔连接至顶层芯片管脚处。主干电源换层处请至少保证 2 个过孔。其余电源走线上的钻孔的直径应不小于电源走线的宽度。
- 图 14 中黄色高亮信号线即为 3.3 V 电源走线。主干电源走线的线宽建议至少 25 mil，Pin 3, 4 分支电源走线建议至少 20 mil，其他分支电源走线宽度建议 12 mil ~ 15 mil。
- 图 14 中红色圆圈部分为 ESD 保护管靠近电源端口放置。电源走线进入 ESP32 芯片前需添加一个 10 μF 电容，该电容与 0.1 μF 电容搭配使用。而后电源走线在此分支为两路，pin3, 4 电源需单独一路，这样可减少不同电源管脚之间的耦合。
- Pin3, 4 电源需要靠近管脚添加 C（电容）和 L（电感）。如图 14 中 C13 (10 μF) 放置在电源入口处，C10, L5 及 C21 靠近芯片的模拟电源管脚摆放。条件允许情况下，尽量每个数字电源管脚添加一个 0.1 μF 电容。注意，所有的去耦电容请靠近对应电源管脚放置，去耦电容的接地管脚请就近打地孔，保证较短的返回路径。
- 芯片下方的地焊盘，请注意需要至少打 9 个地孔连接到地平面。

说明：

如图 15 所示，如需在模组背面芯片下方添加散热焊盘 EPAD，建议对 EPAD 进行九宫格处理，间隙处盖油墨，而地孔则打在间隙处。这样可以有效地改善模组 EPAD 焊接至底板时的漏锡问题。

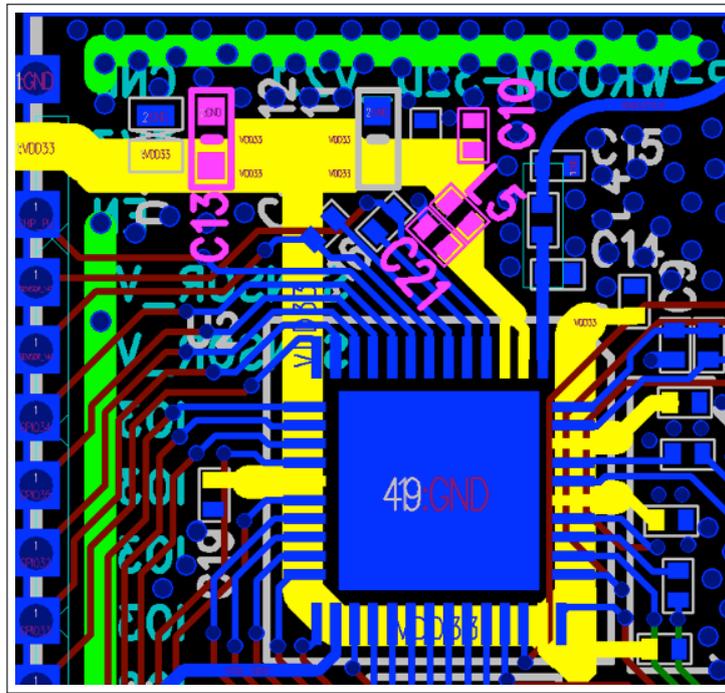


图 14: ESP32 四层板电源设计

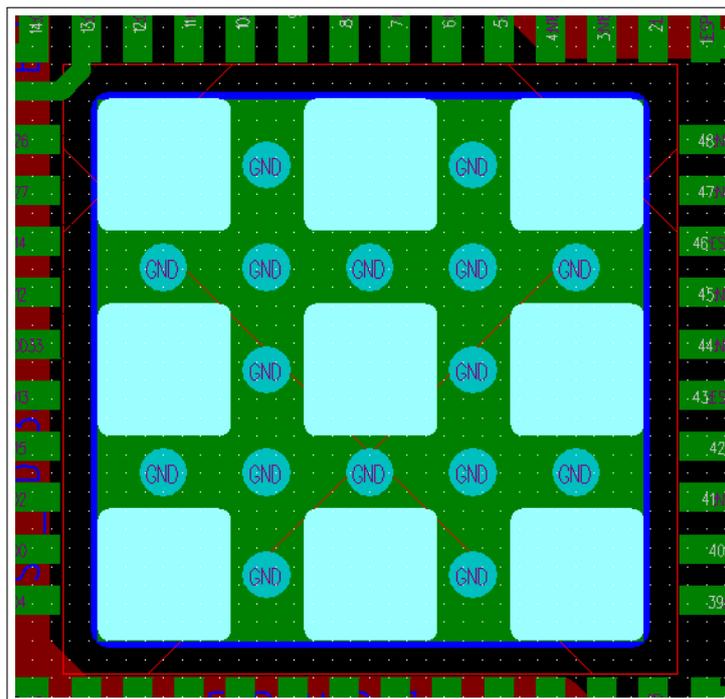


图 15: 九宫格设计

• 两层板设计

如采用两层板设计，则下图 16 中属性为 VDD33 的走线即为 3.3 V 电源走线。与四层板设计不同的是，电源走线需尽可能走在顶层。故需要将芯片中间的散热焊盘缩小，电源走在四周信号管脚与散热焊盘之间，只在不得不换层的位置，打孔至底层穿一段走线。此做法的目的是，尽可能地维持底层为一个完整的地平面，同时减小电源的环绕区域。

其他注意事项与四层板一致。

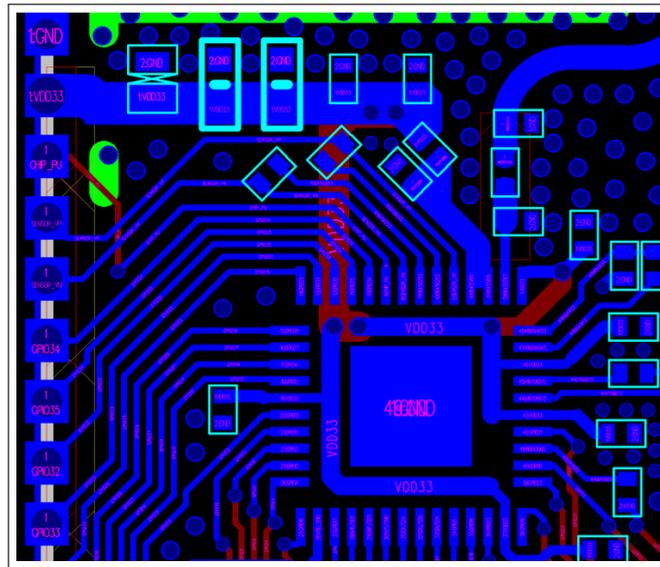


图 16: ESP32 两层板电源设计

3.1.4 晶振

晶振设计请参考图 17，另外：

- 晶振需离芯片时钟管脚稍远一些放置（推荐 gap 2.7 mm 左右），防止晶振干扰到芯片。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。
- 晶振的时钟走线不可打孔走线，即不能跨层。晶振的时钟走线不可交叉，跨层交叉也不行。
- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，并尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方 4 层都不能走高频数字信号，最佳情况是晶振下方不走任何信号线。晶振时钟走线两侧的电源线上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧尽可能地包地。
- 晶振为敏感器件，晶振周围不能有磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

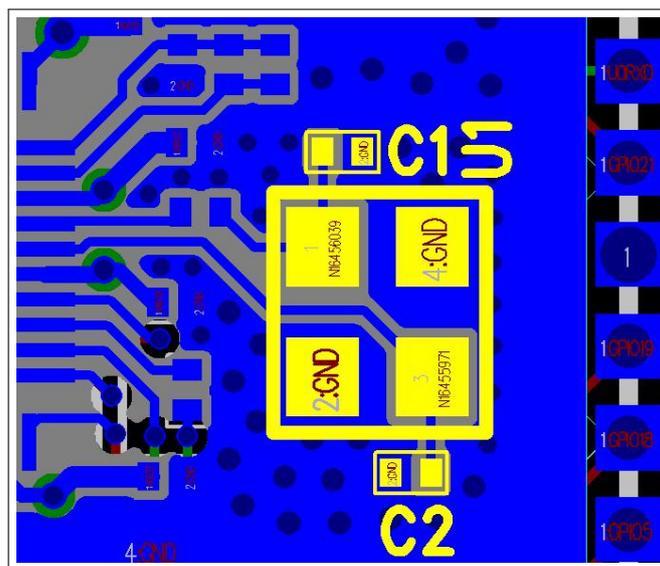


图 17: ESP32 晶振设计

3.1.5 射频

- 四层板设计

如采用四层板设计，则下图 18 中高亮走线即为射频走线。射频走线须做 50 Ω 单端阻抗控制，须保证相邻层完整地平面。射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。

射频走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。

射频走线上需预留一个 π 型匹配电路，且 π 型匹配电路需靠近芯片端放置。

射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振，DDR，一些高频时钟 (比如 SDIO_CLK) 等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线 (包括走线、过孔、测试点、插针引脚等) 都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。

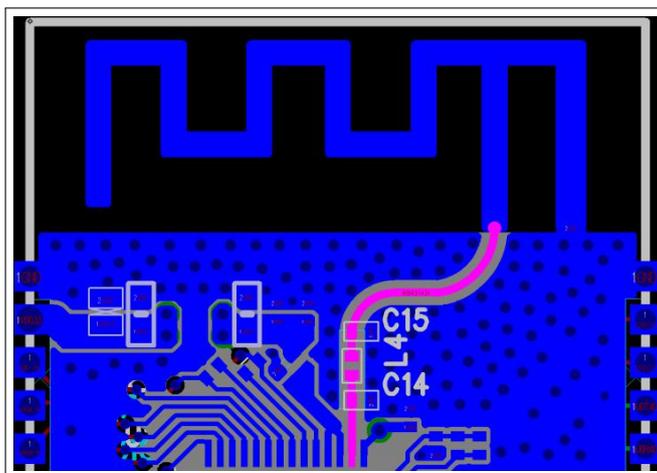


图 18: ESP32 四层板射频部分版图设计

- 两层板设计

如采用两层板设计，则下图 19 中高亮走线即为射频走线。与四层板设计不同的是，射频走线线宽会增加，通常为 20 mil 以上，确切数值需要根据阻抗计算公式进行调整，板层的变更也会影响与阻抗有关的一些参数。其他注意事项与四层板一致。

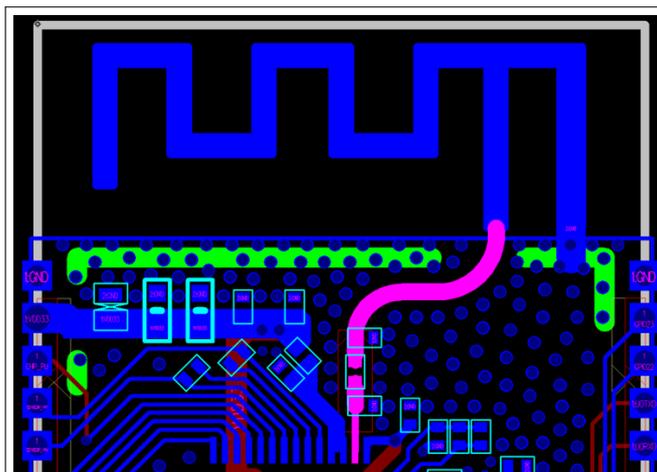


图 19: ESP32 两层板射频部分版图设计

3.1.6 Flash 及 PSRAM

Flash 及 PSRAM 的 SPI 走线请尽可能地走到内层（例如第三层），并注意 SPI 的 CLK 及 DATA 走线都需单独进行包地处理。Flash 及 PSRAM 的版图设计如图 20 所示。

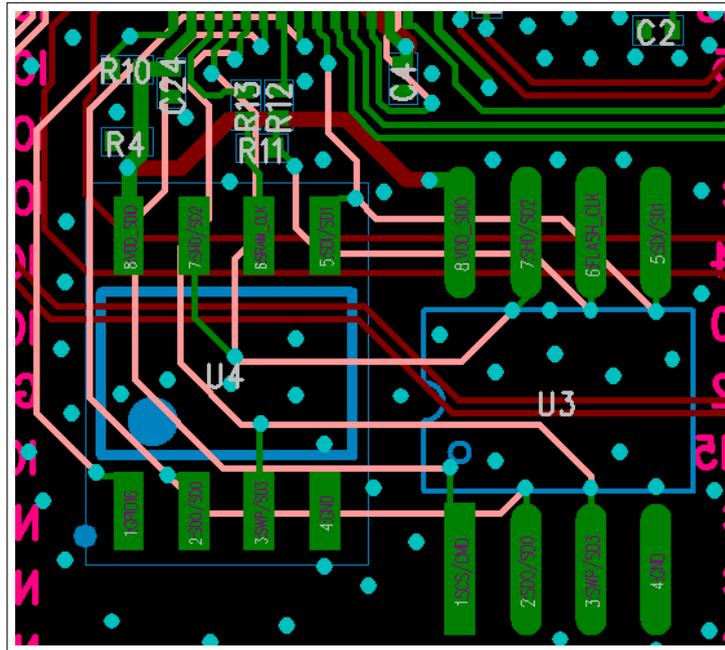


图 20: ESP32 Flash 及 PSRAM 版图设计

3.1.7 外置阻容

外置阻容需靠近芯片管脚放置，并注意走线不可有过孔。注意需优先保证 10 nF 电容靠近管脚放置。

3.1.8 UART

U0TXD 线上的串联电阻需尽可能地靠近芯片并远离晶振放置。下图 21 为 UART 部分的参考设计。

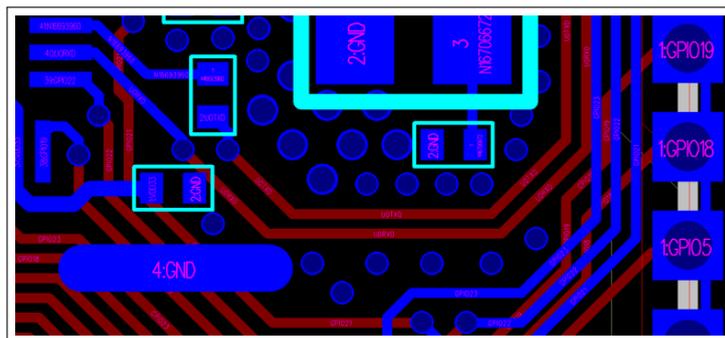


图 21: ESP32 UART 设计

3.1.9 触摸传感器

ESP32 提供了多达 10 个支持电容式触摸传感的 IO，能够检测触摸传感器上因手指接触或接近而产生的电容变化。芯片内部的电容检测电路具有低噪声和高灵敏度的特性，支持用户使用面积较小的触摸垫来实现触摸检测功能，用户也可使用触摸板阵列以探测更大的区域或更多的测试点。图 22 为基于 ESP32 的典型触摸传感应用。

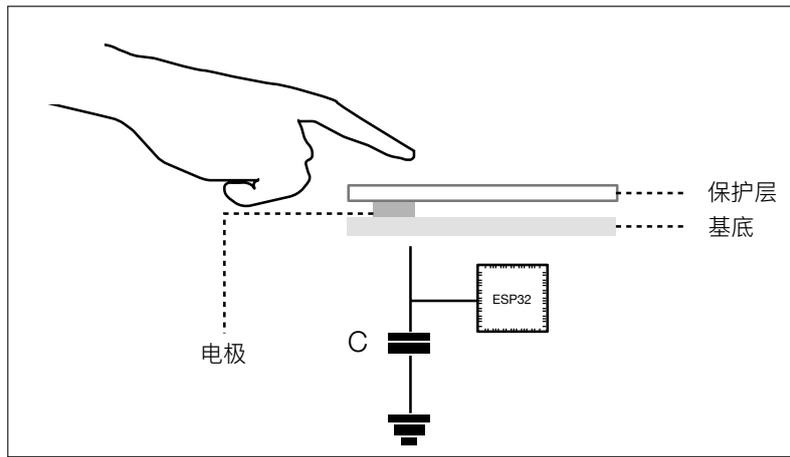


图 22: 典型的触摸传感器应用

为防止电容耦合和其他电干扰影响触摸传感系统的灵敏度，用户需要考虑以下因素：

电极图形

适当大小和形状的电极有助于提高系统灵敏度。常见的有圆形、椭圆形和形状类似人的指尖的电极。过大或形状不规则的电极可能导致附近电极发生错误响应。

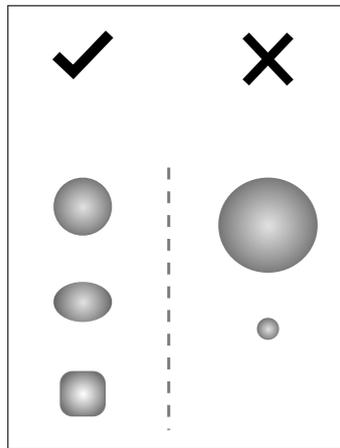


图 23: 电极图形要求

说明：

图 23 未按照实际比例示例。建议用户用指尖作为参考。

PCB 布局

以下是关于走线规格的注意事项：

- 走线长度不应超过 300 mm
- 走线宽度 (W) 不能大于 0.18 mm (7 mil)
- 走线夹角 (R) 不应小于 90°
- 走线离地间隙 (S) 范围 0.5 mm 到 1 mm

- 触摸电极直径 (D) 范围 8 mm 到 15 mm
- 触摸电极和走线应被栅格地围绕
- 触摸传感器走线注意远离射频天线走线，并注意隔离。

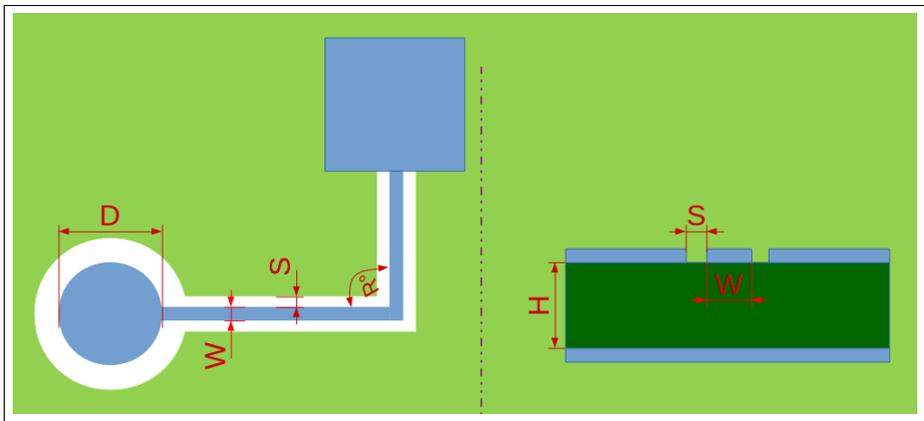


图 24: 传感器布局布线

说明:
关于触摸传感器的硬件设计，详见 [《ESP32 触摸传感器应用方案简介》](#)。

3.2 ESP32 作为从设备的版图设计

ESP32 作为从设备，搭载其他主 CPU 应用时，在布局设计上比模组设计更加要注意的是信号完整性。系统的复杂性，高频信号的增多对于 ESP32 的干扰也增多，需要注意避免这些干扰影响 ESP32 正常工作。这里我们以 PAD 或 TV Box 的主板作为示例进行分析。

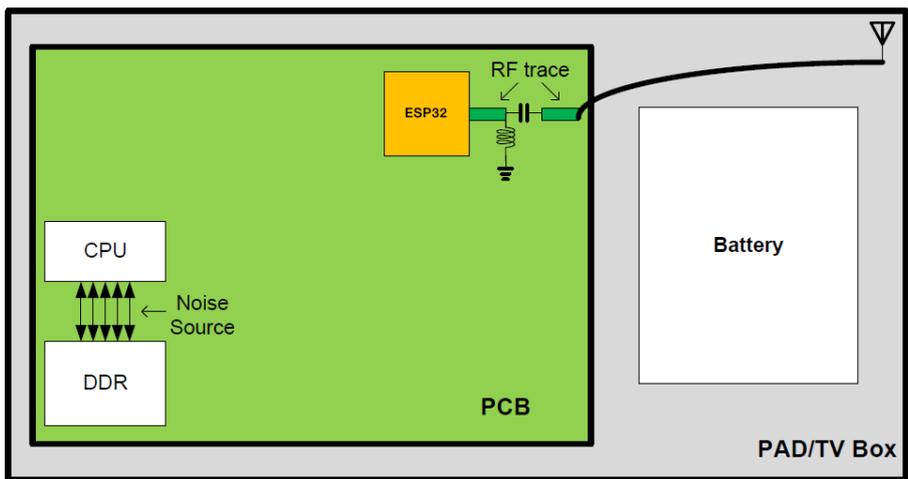


图 25: PAD/TV Box 平面位置规划框架

CPU 和 DDR 之间的数字信号是高频噪声的主要制造者，会从空中干扰 Wi-Fi 射频，所以在做系统设计时，应注意以下几点：

- 从图 25 中可以看出，ESP32 需在 PCB 边上，远离 CPU 与 DDR，即远离噪声源。从位置上增加距离使得干扰能量随距离增加而衰减，继而减小噪声耦合。
- ESP32 与 CPU 之间通过 SDIO 通信时，最好在 SDIO 的 6 根信号线上各预留一个串联电阻，减小驱动电流，继而减小干扰，同时也可以消除 SDIO 走线长度不一致引起的时序问题。
- 在天线选型上，尽量不使用 PCB 板载天线，因为 PCB 板载天线受到的干扰比较大，容易把干扰耦合进来影响射频性能。最好使用外置天线，可以通过电缆线引出远离 PCB 板，这样板上高频干扰信号对 Wi-Fi 的影响会减弱。
- 在布线过程中，应注意 CPU 与 MEM 之间的高频信号走线控制，严格按照高频信号处理规则走线（详情可参考 DDR 走线控制文档），尽量做到把 CLK 单独包地处理，data 或 addr 线成组进行包地处理。
- 如果在系统设计中牵涉到电机等高功率器件，则务必要把 Wi-Fi 部分电路的返回路径 (GND) 与其他高功率器件的返回路径 (GND) 分离开来，通过导线把 2 个返回路径 (GND) 连接起来。
- 天线要尽量远离其他高频噪声源，如 LCD、HDMI、摄像传感器、USB 以及其他高频信号。

3.3 版图设计常见问题

3.3.1 为什么电源纹波并不大，但射频的 TX 性能很差？

现象分析

电源纹波可极大地影响射频的 TX 性能。测量电源纹波时需注意电源纹波必须是在 ESP32 正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 <80 mV。发送 11m@11b 时，电源纹波峰峰值必须 <120 mV。

解决方法

在电源支路上（支路为 ESP32 模拟电源管脚）添加一个 10 μ F 的滤波电容。10 μ F 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

3.3.2 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析

射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 SDIO 走线，UART 走线等，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法

此问题主要是在布局上，可以重新布局，详见章节 3 版图布局。

3.3.3 为什么 ESP32 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析

当仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法

射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

3.3.4 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析

芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 TX 与 RX 走线穿过射频走线等。如果 ESP32 是作为从设备设计，那么主板上将存在非常多的高频信号干扰源，需根据主板设计来考量信号完整性的问题。

解决方法

请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节 3 版图布局。

4. 开发硬件介绍

请至[乐鑫官网](#)查看 ESP32 系列模组和开发板的最新详细信息。

乐鑫官网的[文档页面](#)提供模组的参考设计。

模组使用注意事项

- 贴片模组使用单一管脚供电，客户只需外接 1 个 3.3 V 的电源即可。该 3.3 V 电源既可为模拟电路供电，也可为数字电路供电。
- EN 管脚为模组使能管脚，正常工作时需把 EN 管脚置高电平。模组上未添加 RC 延时电路，建议客户在模组外部添加。可参考章节 2.2。
- 将 GND、RXD、TXD 接出外接 USB 转 UART 工具下载、打印 log 以及通信。

出厂模式下的模组 flash 已下载初始固件。如需自行重新烧录固件，烧录 flash 的操作步骤如下：

1. 烧录前，需要设置模组在 UART 下载模式下工作；即将 IO0（默认为高）和 IO2（默认为低）下拉到低电平；
2. 给模组上电，通过串口查看是否进入 Download 模式。
3. 通过 [Flash 下载工具](#)将程序固件烧录进 flash 中；
4. 烧录结束后，IO0 需上拉切换至高电平，进入 SPI 启动模式下工作；
5. 重新上电，芯片初始化时会从 flash 中读取程序运行。

注意：

- 整个操作过程都可通过 UART 打印 log 信息查看芯片运行是否正常。当无法烧录或程序无法运行时，可通过串口打印信息查看芯片初始化时设置的工作模式是否正常。
- 串口打印工具和烧录工具不能同时占用串口端口。

5. 典型应用案例

5.1 ESP32 智能音频平台

5.1.1 ESP32-LyraT 音频开发板

ESP32-LyraT 是乐鑫专门为智能音箱和智能家居应用设计的音频开发板，软件采用的是乐鑫开源的音频开发框架 [ESP-ADF](#)，硬件资源包括 ESP32-WROVER/ESP32-WROVER-B 模组、Micro SD 卡槽、扩展接口、触摸按钮、按键等。ESP32-LyraT 支持一键智能配网功能、语音唤醒、按键唤醒、云平台接入、语音识别和本地音频播放等功能，可加速蓝牙 + Wi-Fi 双模音频解决方案的开发进程。

ESP32-LyraT 智能音频开发板具有以下特性：

- 支持多种主流压缩和无损音频格式，包括 M4A、AAC、FLAC、OGG、OPUS、MP3 等。
- 支持一键配置和待机唤醒。
- 支持 SoftAP 和 Station 模式。
- 支持各类无线标准：Wi-Fi 802.11b/g/n、经典蓝牙和 BLE。
- 支持 Wi-Fi、BT-audio、DLNA、Line-in 等音源输入。
- 提供业内领先的 BLE 配网和智能配网（如微信配网）等各种支持。
- 双麦克拾音：适用于近场以及远场语音识别应用的开发。
- 支持丰富的外设，助力实现产品差异化特性。

ESP32-LyraT 的俯视图、仰视图如图 26 和 27 所示。

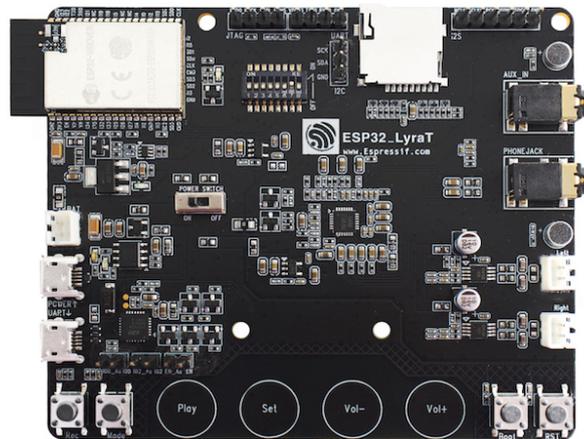


图 26: ESP32-LyraT 俯视图

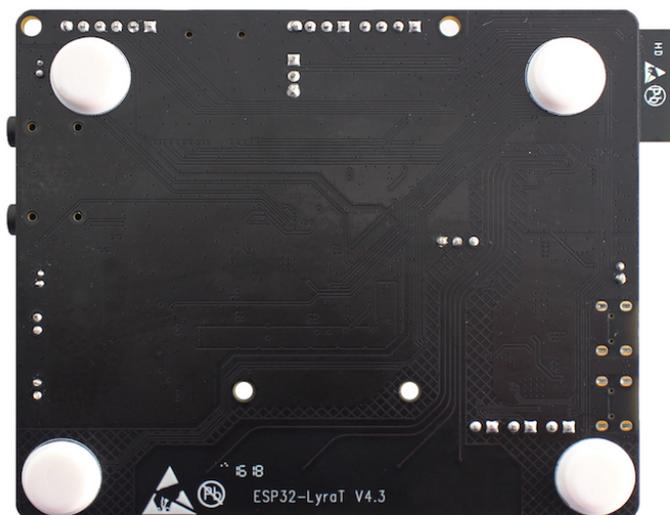


图 27: ESP32-LyraT 仰视图

5.1.2 ESP32-LyraTD-MSC 音频开发板

ESP32-LyraTD-MSC 是专为智能音箱和 AI 应用设计的双板音频开发平台。上板主要包含麦克风阵列、功能按键及 LED 指示灯等硬件；下板主要包含 ESP32-WROVER-B Wi-Fi 连接模块、MicroSemi DSP 芯片、电源管理模块等。开发板支持一键智能配、声学回声消除 (AEC)、近/远场语音唤醒、云平台接入、语音识别、中途打断唤醒和音频解码等功能，可加速蓝牙 + Wi-Fi 双模音频解决方案的开发进程。

ESP32-LyraTD-MSC 智能音频开发板具有以下特性：

- 低功耗、低成本的轻量级智能音响方案。
- 支持多种云平台：DuerOS、Amazon、天猫精灵、图灵、京东、科大讯飞等。
- 支持 HTTP Living Stream、网络电台、喜马拉雅等。
- 支持本地语音打断唤醒，关键词识别，回声消除等。
- 三个数字 MIC，支持 1-5m 远场拾音。
- 双板设计，炫彩 LED 灯带，全功能按键。
- 支持 Wi-Fi、BT、DLNA、SDCARD 等音源输入。
- 支持 Smartconfig、BLE、Airkiss 等多种配网。
- 支持 2.4 GHz 频段 Wi-Fi 802.11b/g/n，Classic BT 和 BLE。
- 支持多种音频格式，如 M4A、AAC、FLAC、OGG、OPUS、MP3、AMR 等。

ESP32-LyraTD-MSC 的外观图如图 28 所示。



图 28: ESP32-LyraTD-MSD 外观图

说明:

乐鑫提供专门针对音频产品的设计指导规范，请参考 [《ESP32 音频产品设计指南》](#)。

5.2 ESP32 触摸传感器方案—ESP32-Sense Kit

[ESP32-Sense Kit](#) 开发套件用于评估和开发 ESP32 触摸传感器功能。评估套件包含一个主板和若干子板，主板包含显示单元，主控单元，调试单元；子板的触摸电极的形状和排列方式多样，包括线性滑条、矩阵按键、弹簧按键、轮式滑条等，可以满足不同的使用场景。用户也可以自行设计子板以满足特殊的使用场景。

ESP32-Sense Kit 开发套件如图所示：

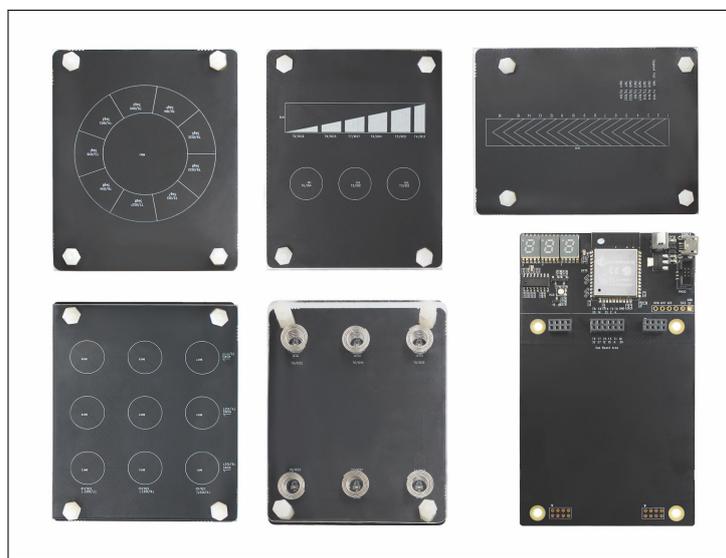


图 29: ESP32-Sense Kit 开发套件

修订历史

日期	版本	发布说明
2020-09-25	V3.0	在章节 1 中增加 3 个芯片型号：ESP32-D0WD-V3、ESP32-D0WDQ6-V3 和 ESP32-U4WDH 在章节 3.1.3 中新增对散热焊盘 EPAD 的说明 更新章节 2 更新章节 4 增加 文档反馈链接
2019.10	V2.9	更新图 12 下方关于 ESP32 模组位置摆放建议的说明。
2019.09	V2.8	将 VDD_SDIO 给外部 3.3 V flash/PSRAM 供电的电压最低值改为 3.0 V。
2019.04	V2.7	更新图 6；在图片下方增加说明。
2019.02	V2.6	在章节 3 的电源部分、射频部分增加两层板设计规范； 更新 UART 部分； 根据最新版 《乐鑫产品订购信息》 更新各开发板支持的模组。
2018.11	V2.5	更新章节 2.1.1：数字电源，VDD_SDIO 输出为 1.8 V 时管脚处 2 k Ω 电阻及 1 μ F 电容改为 2 k Ω 电阻及 4.7 μ F 电容。
2018.09	V2.4	更新章节 2.4.1：外部时钟参考； 更新章节 2.4.2：RTC 时钟。
2018.08	V2.3	更新章节 2.7：外置阻容； 增加 《ESP32-WROVER-B 技术规格书》 链接。
2018.07	V2.2	将模组 ESP-WROOM-32 正式更名为 ESP32-WROOM-32； 将模组 ESP-WROOM-32D 正式更名为 ESP32-WROOM-32D； 更新章节 2 中部分描述和插图； 增加章节 4 中模组、开发板和应用方案。
2018.03	V2.1	删除章节基础协议，应用，功能框图以及管脚定义，相关内容可参见 《ESP32 技术规格书》 ； 更新章节 2 中所有原理图和设计图以及相关说明； 增加章节 2.6 ADC 注意事项和 2.8 UART； 更新章节 3 版图布局，增加管脚在模组上位置的说明。 更新章节 3.3.1 关于电流纹波峰峰值的描述。 更新章节 ESP32-DevKitC 开发板。 增加章节 ESP32-PICO-D4 模组。 增加章节 ESP32-WROOM-32D 模组。 增加章节 ESP32-WROOM-32U 模组。 增加章节 ESP32-PICO-KIT 迷你开发板。
2017.08	V2.0	将章节蓝牙中输出功率改为“高达 12 dBm”；NZIF 接收器的 BLE 接收灵敏度改为 -97 dBm； 增加表管脚描述的说明一条； 增加章节 3.1.9 触摸传感器； 更新第 4 章开发硬件介绍； 更新章节 5.1 ESP32-LyraT 智能音频平台。
2017.06	V1.9	将 CPU/RTC IO 电源输入的范围改为 1.8V ~ 3.6V； 更新章节 2.1.1 数字电源。
		更新章节 2.2.1 上电时序；

日期	版本	发布说明
		更新章节 2.4.1 外部时钟参考 (必选); 增加 ESP32 管脚清单 链接; 增加文档变更通知。
2017.05	V1.7	在章节 ESP32-WROOM-32 概述中增加一条说明。
2017.05	V1.6	更新图 ESP32-WROOM-32 模组外观尺寸图; 增加章节 Strapping 管脚中的说明。
2017.04	V1.5	增加 ESP32-WROOM-32 模组尺寸的误差值。
2017.04	V1.4	更新章节 Strapping 管脚; 更新图 ESP32 管脚布局 (封装为 QFN 5*5); 更新图 ESP32-WROOM-32 模组外观图; 更新图 ESP32-DevKitC 布局图。
2017.03	V1.3	更新表 ESP32 管脚定义的注意事项; 增加关于表 ESP32-WROOM-32 管脚定义的说明。
2017.03	V1.2	更新章节 概述 ; 更新 ESP32 功能框图; 更新章节管脚定义; 更新章节 电源 ; 更新章节 射频 (RF) ; 更新 ESP32-WROOM-32 管脚布局; 更新表 ESP32-WROOM-32 管脚定义; 更新章节 使用注意事项 。
2016.12	V1.1	更新表 UART 接口的管脚定。
2016.12	V1.0	首次发布。